

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-305308

(43)Date of publication of application : 18.10.2002

(51)Int.Cl.

H01L 29/786

G02F 1/1368

H01L 21/285

H01L 29/43

(21)Application number : 2002-009725

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.02.2001

(72)Inventor : KAWAKITA TETSUO  
INOUE MAYUMI  
KURAMASU KEIZABURO  
SASAKI ATSUSHI

(30)Priority

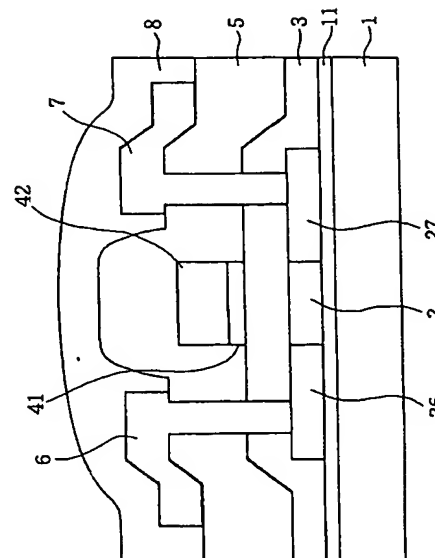
Priority number : 2000031407	Priority date : 09.02.2000	Priority country : JP
2000046904	24.02.2000	JP
2000046901	24.02.2000	JP
2000086121	27.03.2000	JP
2000101927	04.04.2000	JP

(54) THIN FILM TRANSISTOR USING MoW ALLOY IN GATE ELECTRODE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem that, when an MoW alloy is used as the gate metallic film of a polycrystalline silicon thin film transistor, the MoW film may be deteriorated by the residual moisture, etc., of SiO<sub>2</sub> constituting a base gate insulating film or an interlayer insulating film and, consequently, the reliability of B-T tests is deteriorated due to fluctuation in negative direction.

**SOLUTION:** At the time of forming the MoW film by sputtering, Ar or N is mixed in the film by using a mixed gas, etc., prepared by mixing N<sub>2</sub> in an Ar or Kr gas in an amount of several %. The orientational property of the MoW film is controlled. The percentage composition of the Mo and W in the MoW film is changed on the side opposite to the gate insulating film side.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-305308

(P2002-305308A)

(43) 公開日 平成14年10月18日 (2002. 10. 18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 21/285	S 4 M 1 0 4
H 0 1 L 21/285			3 0 1 R 5 F 1 1 0
	3 0 1	29/78	6 1 7 M
29/43		29/62	G
審査請求 未請求 請求項の数61 O L (全 23 頁) 最終頁に続く			

(21) 出願番号 特願2002-9725 (P2002-9725)  
(62) 分割の表示 特願2001-31267 (P2001-31267) の分割  
(22) 出願日 平成13年2月7日 (2001. 2. 7)  
  
(31) 優先権主張番号 特願2000-31407 (P2000-31407)  
(32) 優先日 平成12年2月9日 (2000. 2. 9)  
(33) 優先権主張国 日本 (J P)  
(31) 優先権主張番号 特願2000-46904 (P2000-46904)  
(32) 優先日 平成12年2月24日 (2000. 2. 24)  
(33) 優先権主張国 日本 (J P)  
(31) 優先権主張番号 特願2000-46901 (P2000-46901)  
(32) 優先日 平成12年2月24日 (2000. 2. 24)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72) 発明者 河北 哲郎  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 井上 真弓  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74) 代理人 100097445  
弁理士 岩橋 文雄 (外2名)

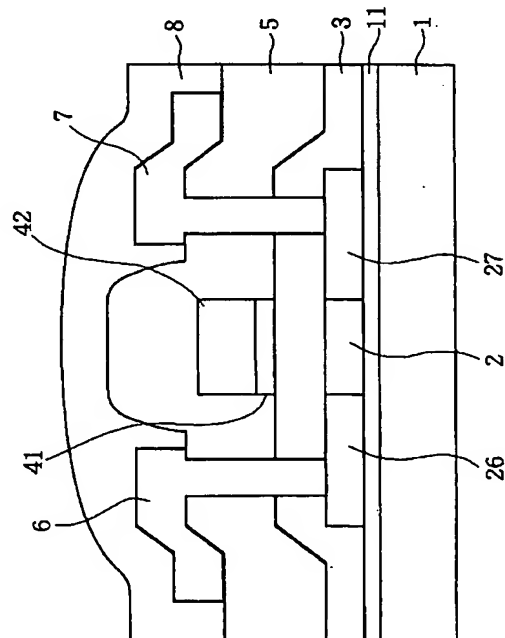
最終頁に続く

(54) 【発明の名称】 ゲート電極にMoW合金を使用した薄膜トランジスタ

(57) 【要約】

【課題】 多結晶シリコン薄膜トランジスタのゲート金属膜としてMoW合金を用いた場合、下地ゲート絶縁膜や層間絶縁膜としてのSiO<sub>2</sub>等の残留水分等によるMoW膜の変質が生じる。B-T試験での負方向の変動による信頼性に難が生じる。

【解決手段】 スパッタリングによりMoW膜形成時、ArまたはKrガスにN<sub>2</sub>を数%含む混合ガス等を用いる等して、ArやN<sub>2</sub>を含ませる。MoW膜の配向性を制御する。ゲート絶縁膜側と反対側でMoとWとの組成比を変える。



## 【特許請求の範囲】

【請求項1】 窒素を0.001原子%以上1原子%以下含むモリブデンとタングステンの少なくとも一方を主成分とする合金からなるゲート電極を有していることを特徴とする薄膜トランジスタ。

【請求項2】 窒素を0.001原子%以上1原子%以下含むモリブデンとタングステンの少なくとも一方を主成分とする合金からなるゲート電極を有する薄膜トランジスタを製造する方法であって、

N<sub>2</sub>を数%含むAr若しくはKrあるいはそれらを主成分とする混合ガスでスパッタリングすることによって上記N濃度のゲート電極用の金属膜を形成する特殊ガススパッタリングステップを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項3】 酸素濃度は100ppm以下、窒素は酸素より多く含まれ且つ窒素濃度は20000ppm以下含むモリブデンとタングステンの少なくとも一方を主成分とする合金からなるゲート電極を有していることを特徴とする薄膜トランジスタ。

【請求項4】 前記ゲート電極は、ゲート絶縁膜との界面部側の方が、他の側よりも窒素の含有量が多いことを特徴とする請求項3に記載の薄膜トランジスタ。

【請求項5】 酸素濃度は100ppm以下、窒素は酸素より多く含まれ且つ窒素濃度は20000ppm以下か若しくは更にゲート絶縁膜との界面部の方が反ゲート絶縁膜部よりも窒素の含有量が多いモリブデンとタングステンの少なくとも一方を主成分とする合金からなるゲート電極を有している薄膜トランジスタの製造方法であって、上記ゲート電極用の金属膜を、ArまたはKrあるいはそれらを主成分とする混合ガスでスパッタリングすることによって形成する特殊ガススパッタリングステップを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項6】 ゲート電極用の金属膜を成膜する前に、ゲート絶縁膜の表面を窒素ガスで逆スパッタする逆スパッタステップを有していることを特徴とする請求項5に記載の薄膜トランジスタの製造方法。

【請求項7】 ゲート電極用の金属膜を成膜する前にゲート絶縁膜の表面を窒素プラズマで窒化処理する窒化ステップを有していることを特徴とする請求項5に記載の薄膜トランジスタの製造方法。

【請求項8】 少なくともゲート電極との界面に、窒化した薄膜や窒素を含んだ薄膜や逆スパッタにより汚染物質としての水分や酸素が他の部分より少ない薄膜が形成されたゲート絶縁膜を有していることを特徴とする請求項1若しくは請求項3に記載の薄膜トランジスタ。

【請求項9】 上記ゲート電極を形成する合金中の窒素は、

安定な状態であることを特徴とする請求項1、請求項3若しくは請求項4に記載の薄膜トランジスタ。

【請求項10】 上記モリブデンとタングステンの少なくとも一方を主成分とする合金とは、モリブデンを主成分とし、タングステンを従成分とするモリブデン-タングステン合金であることを特徴とする請求項1、請求項3若しくは請求項4に記載の薄膜トランジスタ。

【請求項11】 アンモニウムガス、水素ガスとアンモニウムガス若しくは水素ガスと窒素ガスのいずれかを不活性ガス中に混入してなる混合ガス雰囲気中でモリブデンとタングステンの少なくとも一方を主成分とする金属、金属複合体若しくは金属焼結体からなるターゲットを用いて、スパッタリングによりゲート電極用に金属膜を形成する特殊雰囲気ガス下ゲート電極用金属膜形成ステップを有していることを特徴とする薄膜半導体の製造方法。

【請求項12】 モリブデンのみ若しくはタングステンを10原子%以下含むモリブデンとタングステンの合金からなるゲート絶縁膜側層と、

タングステンを20～50原子%含むモリブデンとタングステンの合金からなる反ゲート絶縁膜側層が在るゲート電極を有していることを特徴とする薄膜トランジスタ。

【請求項13】 タングステンを10原子%以下含むかつNを含有するモリブデンとタングステンの合金製のゲート絶縁膜側層と、

タングステンを20～50原子%含むかつNを含有するモリブデンとタングステンの合金製の反ゲート絶縁膜側層が在るゲート電極を有していることを特徴とする薄膜トランジスタ。

【請求項14】 前記2層構造のゲート電極は、ゲート絶縁膜側層は、その膜厚さが2～20nmであることを特徴とする請求項12若しくは13に記載の薄膜トランジスタ。

【請求項15】 前記ゲート電極は、その中のNの含有量が0.01原子%以上10原子%以下である特定範囲窒素含有ゲート電極であることを特徴とする請求項12若しくは請求項13に記載の薄膜トランジスタ。

【請求項16】 前記ゲート電極は、その中のNの含有量が0.01原子%以上10原子%以下である特定範囲窒素含有ゲート電極であることを特徴とする請求項14に記載の薄膜トランジスタ。

【請求項17】 上記薄膜半導体は、トップゲート型であることを特徴とする請求項12若しくは請求項13に記載の薄膜トランジスタ。

【請求項18】 上記薄膜半導体は、トップゲート型であることを特徴とする請求項14に記載の薄膜トランジスタ。

【請求項19】 上記薄膜半導体は、トップゲート型であることを特徴とする請求項15に記載

載の薄膜トランジスタ。

【請求項20】 比較的タングステン含有量が少ないか全く無いゲート絶縁膜側層及び比較的タングステン含有量が多い反ゲート絶縁膜側層の2層が在るゲート電極を、モリブデンとタングステンの少くも一方を主成分とする金属、金属複合体若しくは金属焼結体からなるそして上記両金属の組成比の異なる少くも2種のターゲットを交互に用いてアンモニウムガス、水素ガスとアンモニウムガス若しくは水素ガスと窒素ガスのいずれかを不活性ガスに配合してなる混合ガス雰囲気中でスパッタリングにより成膜するゲート電極用複数層成膜ステップを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項21】 前記ゲート電極用2層成膜ステップは、ゲート電極中のNの含有量が0.01原子%以上10原子%以下であるようにする特定範囲窒素含有ゲート電極成膜ステップであることを特徴とする請求項11若しくは請求項20に記載の薄膜トランジスタの製造方法。

【請求項22】 上記薄膜トランジスタは、トップゲート型であることを特徴とする請求項21に記載の薄膜トランジスタの製造方法。

【請求項23】 薄膜トランジスタのゲート絶縁膜に接して形成されたゲート電極は、それを形成する金属膜の原子配列密度が、上記ゲート絶縁膜との接触面で最も小さくなる様に界面が形成されたものであることを特徴とする薄膜トランジスタ。

【請求項24】 上記ゲート電極は、上記ゲート絶縁膜との界面の金属膜の主配向面が、(110)であることを特徴とする請求項23に記載の薄膜トランジスタ。

【請求項25】 前記主配向面(110)は、全配向面の90%以上であることを特徴とする請求項24に記載の薄膜トランジスタ。

【請求項26】 上記ゲート電極を形成する金属膜は、モリブデンとタングステンの少くも一方を主成分とする合金からなり、

更にモリブデン若しくはタングステンと安定な状態にあるArを含んでいることを特徴とする請求項23、請求項24若しくは請求項25に記載の薄膜トランジスタ。

【請求項27】 上記モリブデン若しくはタングステンと安定な状態にあるArは、最大1原子%であることを特徴とする請求項26に記載の薄膜トランジスタ。

【請求項28】 上記ゲート電極を形成する金属膜は、モリブデンとタングステンの少くも一方を主成分とする合金からなり、更にモリブデン若しくはタングステンと安定な状態にある窒素を含んでいることを特徴とする請求項23、請求項24若しくは請求項25に記載の薄膜トランジスタ。

【請求項29】 上記モリブデン若しくはタングステンと安定な状態にある窒素は、最大1原子%であることを特徴とする請求項28に記載の薄膜トランジスタ。

【請求項30】 上記ゲート電極を形成する金属膜は、モリブデンとタングステンの少くも一方を主成分とする合金からなり、更に含有する酸素濃度が50ppm以下であることを特徴とする請求項23、請求項24若しくは請求項25に記載の薄膜トランジスタ。

【請求項31】 モリブデンとタングステンの少くも一方を主成分とする合金からなり、更に、膜厚方向にタングステン濃度が変化し、かつゲート電極側層がタングステン濃度が低くなったゲート電極を有していることを特徴とする薄膜トランジスタ。

【請求項32】 タングステン濃度が15原子%以下のゲート絶縁膜側層と、タングステン濃度が35原子%以上95原子%以下の反ゲート絶縁膜側層からなるゲート電極を有していることを特徴とする請求項26に記載の薄膜トランジスタ。

【請求項33】 タングステン濃度が15原子%以下のゲート絶縁膜側層と、タングステン濃度が35原子%以上95原子%以下の反ゲート絶縁膜側層からなるゲート電極を有していることを特徴とする請求項27に記載の薄膜トランジスタ。

【請求項34】 タングステン濃度が15原子%以下のゲート絶縁膜側層と、タングステン濃度が35原子%以上95原子%以下の反ゲート絶縁膜側層からなるゲート電極を有していることを特徴とする請求項28に記載の薄膜トランジスタ。

【請求項35】 タングステン濃度が15原子%以下のゲート絶縁膜側層と、タングステン濃度が35原子%以上95原子%以下の反ゲート絶縁膜側層からなるゲート電極を有していることを特徴とする請求項29に記載の薄膜トランジスタ。

【請求項36】 タングステン濃度が15原子%以下のゲート絶縁膜側層と、タングステン濃度が35原子%以上95原子%以下の反ゲート絶縁膜側層からなるゲート電極を有していることを特徴とする請求項30に記載の薄膜トランジスタ。

【請求項37】 前記ゲート絶縁膜側層は、厚さが100Å以上500Å以下であり、前記反ゲート絶縁膜側層は、厚さが1000Å以上であることを特徴とする請求項31に記載の配線。

【請求項38】 前記ゲート絶縁膜側層は、厚さが100Å以上500Å以下であり、前記反ゲート絶縁膜側層は、厚さが1000Å以上であることを特徴とする請求項32に記載の配線。

【請求項39】 前記ゲート絶縁膜側層は、厚さが100Å以上500Å以下であり、

10

20

30

40

50

前記反ゲート絶縁膜側層は、厚さが1000Å以上であることを特徴とする請求項33に記載の配線。

【請求項40】 前記ゲート絶縁膜側層は、厚さが100Å以上500Å以下であり、

前記反ゲート絶縁膜側層は、厚さが1000Å以上であることを特徴とする請求項34に記載の配線。

【請求項41】 前記ゲート絶縁膜側層は、厚さが100Å以上500Å以下であり、

前記反ゲート絶縁膜側層は、厚さが1000Å以上であることを特徴とする請求項35に記載の配線。

【請求項42】 前記ゲート絶縁膜側層は、厚さが100Å以上500Å以下であり、

前記反ゲート絶縁膜側層は、厚さが1000Å以上であることを特徴とする請求項36に記載の配線。

【請求項43】 TFTの、膜厚方向に対して組成比が異なるモリブデンとタングステンの少くも一方を主成分とする合金製薄膜からなるゲート電極をスパッタリングで形成する方法であって、

少なくとも2種類のモリブデン-タングステン合金組成比が異なるターゲットを選定する異組織ターゲット選定ステップと、

上記選定されたターゲットのうち、ゲート絶縁膜側の層の形成にモリブデン含有率が高いターゲットを使用する高モリブデンターゲット使用ステップと、

反ゲート絶縁膜側の層の形成に、モリブデンが含有率が低いターゲットを使用する低モリブデンターゲット使用ステップとを有していることを特徴としたモリブデンとタングステンの少くも一方を主成分とする合金製薄膜の製造方法。

【請求項44】 薄膜トランジスタ用のモリブデンとタングステンの少くも一方を主成分とする合金製ゲート電極をスパッタリングで形成する方法であって、

放電によってプラズマが形成されると同時に基板上にモリブデンとタングステンの少くも一方を主成分とする合金の成膜を開始する成膜開始制御ステップを有していることを特徴とするモリブデンとタングステンの少くも一方を主成分とする合金製ゲート電極の製造方法。

【請求項45】 少なくとも2種類の、組成比が異なるモリブデンとタングステンの少くも一方を主成分とする合金製のターゲットを用いて膜厚方向に組成比の異なるモリブデンとタングステンの少くも一方を主成分とする合金製薄膜を形成する複数組成比ターゲット使用成膜ステップを有していることを特徴とする請求項44に記載のモリブデンとタングステンの少くも一方を主成分とする合金製ゲート電極の製造方法。

【請求項46】 基板上に、縦横幾列、幾行にも配置された薄膜トランジスタのゲート電極用にモリブデンとタングステンの少くも一方を主成分とする合金からなる薄膜を形成する方法であって、

スパッタリング用のチャンバー内に複数の基板を一定方

向に搬送する複数基板搬送ステップと、

少なくとも基板と同じ大きさのターゲットが基板と対向して配置される様にする対向配置ステップと、

上記基板とターゲットが対向し、更に基板が静止した状態でスパッタリングによる成膜を開始する成膜開始制御ステップとを有していることを特徴とするモリブデンとタングステンの少くも一方を主成分とする合金製ゲート電極の製造方法。

【請求項47】 モリブデンとタングステン合金の組成比が異なる少なくとも2種類のターゲットを選定する複数組成比ターゲット選定ステップと、

上記選定された組成比の異なる複数のターゲットを用いてスパッタリングにより膜厚方向にモリブデンとタングステンの組成比の異なる成膜をなす組成比制御成膜ステップとを有していることを特徴とする請求項37に記載のモリブデンとタングステンの少くも一方を主成分とする合金製薄膜の製造方法。

【請求項48】 モリブデンのみ若しくはタングステンを10原子%以下含むモリブデンとタングステンの合金からなるゲート絶縁膜側層と、

タングステンを20～50原子%含むモリブデンとタングステンの合金からなる反ゲート絶縁膜側層が在るゲート電極を有していることを特徴とする請求項1、請求項3若しくは請求項4に記載の薄膜トランジスタ。

【請求項49】 前記2層構造のゲート電極は、ゲート絶縁膜側層は、その膜厚さが2～20nmであることを特徴とする請求項1、請求項3若しくは請求項4に記載の薄膜トランジスタ。

【請求項50】 下方がMo含有量が多く、更にチャンネル方向両側が下拡がりに傾斜したモリブデンとタングステンの少くも一方を主成分とするゲート電極と、前記ゲート電極の傾斜部の下方が不純物を軽く注入されたLDD領域であり、

その中間部が不純物の注入されていないチャンネル領域であり、ゲート電極の下方の両側が不純物が多く注入されてソース領域、ドレイン領域である半導体層を有していることを特徴とする薄膜トランジスタ。

【請求項51】 前記ゲート電極は、モリブデンとタングステンの少くも一方を主成分とする合金層中に0.001原子%以上1原子%以下の窒素か、1原子%以下のアルゴンを含んだ耐劣化性合金からなることを特徴とする請求項50記載の薄膜トランジスタ。

【請求項52】 前記ゲート電極は、ゲート絶縁膜側が反ゲート絶縁膜側よりもモリブデンの含有量が多いことを特徴とする請求項50若しくは請求項51に記載の薄膜トランジスタ。

【請求項53】 モリブデンとタングステンの少くも一方を主成分とする上側層と、該上側層のチャンネル方向両側に食み出し、かつ上側層よりもモリブデン含有量の多

7  
い下層が在るモリブデンとタングステン合金からなるゲート電極と、

上記上側層を下側のチャネル領域と、上記下側層のみの直下のLDD領域と、上記下側層のチャネル方向両側のソース領域、ドレイン領域が在る半導体層を有していることを特徴とする薄膜トランジスタ。

【請求項54】 前記ゲート電極は、ゲート絶縁膜側が反ゲート絶縁膜側よりもモリブデンの含有量が多いことを特徴とする請求項50に記載の薄膜トランジスタ。

【請求項55】 下方が上方よりもモリブデン含有量の多いモリブデンとタングステンを主成分とする合金よりなるゲート電極をゲート絶縁膜上に形成するゲート電極形成ステップと、

上記形成されたゲート電極の少くもチャネル方向両側を所定量酸化させる酸化ステップと、

上記チャネル方向両側を酸化されたゲート電極をマスクとして不純物イオンを半導体層に注入する注入ステップとを有していることを特徴とするモリブデンとタングステンの少くも一方を主成分とする合金をゲート電極としたLDD構造の薄膜トランジスタの製造方法。

【請求項56】 前記ゲート電極形成ステップは、ゲート電極内に、0.001原子%以上1原子%以下の窒素か、1原子%以下のアルゴンを含んでなる耐劣化性合金にてゲート電極を形成する耐劣化性ゲート電極形成ステップであることを特徴とする請求項55に記載のモリブデンとタングステンの少くも一方を主成分とする合金製薄膜の製造方法。

【請求項57】 下方が上方よりもモリブデン含有量の多いモリブデンとタングステンの少くも一方を主成分とする合金よりなるゲート電極をゲート絶縁膜上に形成するゲート電極形成ステップと、

上記形成されたゲート電極の少くもチャネル方向両側を注入マスク能力の劣る金属で所定量めっきするめっきステップと、

上記チャネル方向両側をめっきされたゲート電極をマスクとして不純物イオンを半導体層に注入する注入ステップとを有していることを特徴とするモリブデンとタングステンの少くも一方を主成分とする合金をゲート電極としたLDD構造の薄膜トランジスタの製造方法。

【請求項58】 前記ゲート電極形成ステップは、ゲート電極内に、0.001原子%以上1原子%以下の窒素か、1原子%以下のアルゴンを含んでなる耐劣化性合金にてゲート電極を形成する耐劣化性ゲート電極形成ステップであることを特徴とする請求項55に記載のモリブデンとタングステンの少くも一方を主成分とする合金製薄膜の製造方法。

【請求項59】 モリブデン、タングステンの少くも一方を主成分とする合金よりなり、不純物イオン注入時にマスクとして使用可能な遮蔽力を有するゲート電極を具

備する薄膜トランジスタと、

該ゲート電極と基板の上記薄膜トランジスタのアレイ部外に形成された、そして薄膜トランジスタのゲート電極駆動部とを接続するアルミ製ゲート配線とを有していることを特徴とする液晶装置。

【請求項60】 前記ゲート電極は、モリブデンとタングステンの少くも一方を主成分とする合金層中に0.001原子%以上1原子%以下の窒素か、1原子%以下のアルゴンを含んだ耐劣化性合金からなることを特徴とする請求項57記載の薄膜トランジスタ。

【請求項61】 前記ゲート電極は、ゲート絶縁膜側が反ゲート絶縁膜側よりもモリブデンの含有量が多いことを特徴とする請求項57若しくは請求項58に記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置やメモリ集積回路に利用される薄膜トランジスタやその配線に関し、特にゲート電極やその配線材料としてのモリブデン-タングステン合金に関する。

【0002】

【従来の技術】液晶表示装置（以下「液晶ディスプレイ」やLCDとも記す）等の基板の画素スイッチ素子や駆動回路には、多結晶シリコン膜を用いた薄膜トランジスタ（Thin Film Transistor、以下、TFTとも記す）が採用されている。ところで、この多結晶薄膜トランジスタは、図1に示すように、非晶質基板1上に表示部、あるいは画素や薄膜トランジスタ等の配置から定まる所定の形状の下部絶縁膜11としてSiO<sub>2</sub>、（2酸化硅素）膜が形成され、その上に同じく所定の形状の多結晶シリコン膜2が形成され、その上に所定形状のゲート絶縁膜3としてのSiO<sub>2</sub>膜が形成され、その上更に所定の形状のゲート金属膜4が形成されている。

【0003】そしてこのゲート電極の形成は、スパッタ方式が用いられている。この方式は、インライン式のタイプが多く、ターゲットも電極に用いる材料を1種類を設置したものである。そして、ガラス基板は一定方向に搬送され、放電してターゲット材料がスパッタリングされて成膜が可能な領域を通過することでガラス基板上に連続的にゲート電極材料が形成されていく。この際ガラス基板は常に可動状態にあり、連続的に処理されていることになる。なお、このインライン方式や後に出てくる枚葉式のスパッタ装置については、例えば月間Semiconductor World増刊号の「成膜技術—スパッタ、105p～110p」に記載されている周知技術である。このため、これらの装置についてのこれ以上の詳しい説明は省略する。

【0004】更に、このゲート電極を注入時のマスクと

して、イオンドーピング法等によっていわゆる不純物元素（リンやホウ素等）をゲート電極のチャネル方向両側に在る多結晶シリコン膜2内に注入し、十分な高濃度の不純物領域（ソース領域26とドレイン領域27）を形成する。その上に層間絶縁膜5として $\text{SiO}_2$ 膜を形成する。そしてこの層間絶縁膜5とゲート絶縁層3に、多結晶シリコン膜2のソース領域26とドレイン領域27に電気的に接続されるソース電極6とドレイン電極7を形成する。その上にパッシベーション膜として $\text{SiN}_x$ 8が形成されている。

【0005】さて、近年特に液晶ディスプレイに20インチ（50.4mm）程度の大画面化と高精細化、それと高信頼性が要求されている。また、携帯機器ではこの高信頼性の要求が厳しい。

【0006】ところで、この信頼性には多くの要因が関与している。例えば半導体層の結晶性、ゲート絶縁膜の膜質、ゲート電極を形成する金属（メタル）の膜質、またこれらの材料間の界面状態等である。

【0007】更に、一般的に信頼性を評価するにはAC耐性評価、BT耐性評価等が行われている。中でもBT耐性は動作の安定性を保証するものであるから、その確保には性能を十分に発揮する上でも大変重要な項目となる。

【0008】そして多結晶シリコン薄膜トランジスタでは、このトランジスタの信頼性の確保と、イオンドーピング法で注入したリン、ボロン等の不純物を活性化させる等のために、不純物の注入後に基板毎真空や所定の雰囲気ガス下で500～600℃の温度環境下30分～1時間晒すで熱処理が行われている。

【0009】さてこの熱処理は、ゲート電極を注入マスクとして使用するため、ゲート電極の形成後に行なう必要がある。このため、ゲート電極としては、注入マスクとして作用するため、密度が高いだけでなく、少なくとも500℃以上の、好ましくは600℃以上の熱で安定していることが要求される。またこの一方で、映像信号等の伝達の遅延を防ぎ、スイッチング素子としての駆動の高速化を達成するためには、ゲート電極の抵抗が低いことが要求される。このような熱的安定性と低抵抗性を両立するだけでなく、更には生産性やコストが優れた材料としては、MoとWの合金が知られている（電極配線材料およびこれを用いた電極配線基板（特開平8-153722号公報））。

【0010】

【発明が解決しようとする課題】しかしながら、ゲート電極としてMoW膜を用いた場合には、第1に $\text{SiO}_2$ 等からなるゲート絶縁膜あるいは層間絶縁膜中の水分等が時間の経過と共にMoW膜中に拡散し（ゲート電極の寸法は、通常は大凡15μm程度、或いはそれ以下）、MoW膜を変質させる。更にその結果、トランジスタの信頼性の低下、不安定性の原因となる。

【0011】第2に、ゲート電極の金属膜をスパッタリングにより作製する際の条件の如何により、薄膜トランジスタの信頼性が大きく影響される。

【0012】すなわち、図2に示す様に、同一組成のMoとWよりなるターゲットを用いてスパッタリングにより成膜した場合、スパッタリングの方法の如何により素子の信頼性が大きく変化している。本図において、

（A）はインライン方式のスパッタリングで作製した場合であり、（B）はロードロック式の枚葉方式スパッタリングで作製した場合である。なおここに、信頼性試験は半導体で行なわれている高温電圧印加試験（B-T（Bias-Temperature）試験（一定温度-85℃と一定バイアス+30Vでの一種の加速試験））であり、85℃の環境で、薄膜トランジスタのゲートに30Vを印加してトランジスタ特性の時間変動を測定するものである。そして、図中のaは測定初期状態であり、bは3600秒印加後の状態を示す。

【0013】本図から判る様に、インライン方式で作製した場合には時間と共に大きく負方向に変動する傾向があり、枚葉方式で作成した場合にはこの変動量が小さかった。しかしながら、枚葉方式スパッタ膜の場合でもB-T試験を更に長時間行なうと、負方向の変動が増加する傾向にある。

【0014】このため、室内での使用に比較して振動があり、また温度変化も激しい自動車用の液晶装置等のより過酷な条件で使用される場合には、条件にもよるが最悪のときには特性の劣化により薄膜トランジスタが充分には機能しなくなる危険性が見出された。

【0015】第3に、何か他の理由によるBT耐性試験の劣化も見出されていた。すなわち、BT耐性試験の試験前後のnchの $I_d-V_g$ 特性を図3に示す。なお、BT耐性試験の条件は上述の如く温度85℃でゲート電極に+30Vを一定時間印可し $I_d-V_g$ 特性の変化を見るものである。

【0016】本図に示す様に、例えばBT耐性の悪いトランジスタであると電圧印可時間が約600sec程度で数V、しきい値電圧 $V_{th}$ がマイナス方向にシフトしてしまう（BT耐性試験前の電気特性31、試験後の電気特性32で示す）。さて、このように特性が変動すると以下のような不都合が生じる。

【0017】試験前の特性では $V_g=0V$ の時のトランジスタに流れる電流は十分に小さく（点33で示す）、回路としては動作していない状態である。しかし試験後の特性32では $V_g=0V$ の時のトランジスタに流れる電流はかなり大きくなり（点34で示す）、 $V_g=0V$ で回路としては動作させていないにもかかわらず、トランジスタにはかなりの量の電流が流れていることになる。その結果、回路としては誤動作を起こすだけでなく、発熱によって最後には完全に動作しなくなる。

【0018】このため、層間絶縁膜中の水分等の悪影響

を受けないMoW合金製のゲート電極の開発が望まれていた。

【0019】また、BT耐性試験でその特性の変化が生じる原因を究明し、ストレスに対して $I_d-V_g$ 特性が変化しない技術の開発が望まれていた。

【0020】以上の他、近年の液晶表示装置の大型化の下、高性能の表示装置の開発が望まれており、その一環として各配線の抵抗の減少、薄膜トランジスタの高性能のLDD化等も望まれていた。

【0021】

【課題を解決するための手段】本発明は、以上の課題を解決して、高信頼性かつ高安定性のTFTを提供し、更にその結果として大面積かつ高性能の液晶ディスプレイ等を作製可能とすることを主な目的として（勿論、2インチ程度の小さな液晶ディスプレイも対象とする）なされたものである。このため、WとMoは電気抵抗と耐熱性の面からは好ましいがそのままでは（単独では）不十分なことも多いので、例えば化学的安定の面からMoとWの構成比に工夫を凝らしている。また、幾種かの元素はMoW合金中で安定な状態に在ると合金の内部への水分の侵入を防止することを発見し、そのための製造方法を見出している。また、合金の状態等にも注目している。また、これらに伴いTFTのLDD構造の形成も工夫を凝らしている。具体的には、以下の様にしている。

【0022】1の発明では、特にゲート電極（ゲート配線を除外するわけでない）を形成するMo、W合金（含む、下部層等部分的にはWやMoのいずれか一方のみの事実上純金属）内への $SiO_2$ 中の水分が侵入してくる事による悪影響等を防止するため、ゲート電極のMoW膜形成時に（通常は、ゲート配線を同時に形成される）ArまたはKr（ケースにより、キセノン等をも含む）ガスに $N_2$ を数%混合したスパッタリングガスを用いてMoW膜を形成し、MoW膜中に適量の窒素を安定した状態で含む様にしている。

【0023】他の発明では、同じく、スパッタリングガスの組成を工夫する等してゲート電極膜形成時に膜中の酸素含量を100ppm（重量）以下にしている。

【0024】他の発明では、同じく、膜中の酸素含量よりも窒素量を多くし、更に窒素含量が20000ppm以下としている。

【0025】他の発明では、同じく、ゲート電極形成前にゲート絶縁膜表面を窒素ガスで逆スパッタして、窒素含量がMoW膜表面側よりもゲート絶縁膜との界面側に多く含まれるMoW膜を形成する。これにより、ゲート金属膜の抵抗の増加も低減される。

【0026】また、他の発明ではMoとWの形成する（全範囲で固溶体を形成する）の格子内にAr原子を安定した状態で一定濃度含ませて高信頼性を図っている。

【0027】また、他の発明では、アンモニウムガス、又は水素ガス及びアンモニウムガス、又は水素ガス及び

窒素ガスと、不活性ガスよりなる混合ガス雰囲気中でスパッタリングにより成膜することで膜中にNを含有するとともにMoとWがスパッタリング中にガス雰囲気中の不純物である $H_2O$ （水分）あるいは $O_2$ （酸素）により酸化されることを防止する。

【0028】また、他の発明では、ゲート電極を少くも2層（コスト等の面からは原則2層のみ）とし、下層と上層とでその形成にMoとWの組成比の異なる金属（合金、金属間化合物、固溶体）又は複合体（超微細な粒子のかたまり）又は焼結体からなるターゲットを用いてMoとWの組成比を変更し、低抵抗性と生産性を維持しつつ経年による特にWの $H_2O$ や $O_2$ との反応による劣化防止を図っている。

【0029】また、他の発明では、ゲート電極のゲート絶縁層側はWを10原子%以下、かつNを含有するMoからなる（含む、Cr等他の原子が多少ある場合）膜とし、反ゲート絶縁膜側の層はWが20～50原子%、かつNを含むMoとすることで、BT試験でNO変動が生じない等高品質のTFTとしている。

【0030】また、他の発明では、Moの多いゲート絶縁層側の膜の厚さを2～20nmの範囲とすることにより、BT試験での変動を抑制するとともにエッチング時間の増加による生産性の低下を生じさせないようにしている。

【0031】また他の発明では、トップゲート型の薄膜半導体素子として、注入マスクを兼ねるだけでなく、より微細なトランジスタを作製可能としている。（勿論、ボトムゲート型でも、その耐熱性故にケースによっては、基板のはば全体に形成されるゲート配線部と併せて、基板の熱変形を多少とも防止する等の効果もありうる。）また、他の発明は、ゲート電極を形成する金属膜は、ゲート絶縁膜との境界で金属の原子配列密度が最も小さくなる様に界面を形成している。

【0032】また、他の発明は、具体的には界面がの主配向面が（111）以外、すなわち（100）、（110）、（100）、（101）特に原子配列密度が最も小さくなる（110）としている。

【0033】また、他の発明では、主配向面（110）は、90%以上としている。

【0034】また、他の発明では、ゲート絶縁膜との境界で金属の原子配列密度が最も小さくなる金属は、MoW合金（上述の如く全範囲で固溶体を形成する）としている。

【0035】また、他の発明では、ゲート電極としてMoとWの少くも一方（原則両方）を主成分とする金属としたことに併せて、LDD構造のTFTを精度良好に製造しうる用にしている。そのために、MoはWやMoW合金に比較して耐蝕性が優れているのに着目し、不純物イオン注入時のマスクとしてのゲート電極のチャネル方向両側に下拡がりの傾斜を付している。

【0036】また、他の発明では、同じくゲート電極膜の最下層にMo製の食み出し部を設け、併せて水分等の上方への拡散による進入の防止等を図っている。

【0037】また、他の発明では、ゲート電極を形成する金属の外表面を酸化させ、チャネル方向は酸化物であるため密度が、ひいてはマスク能力が劣ることに着目し、併せてゲート電極内に耐劣化性原子を含ませているため、経時による酸化膜中からの酸素のゲート電極金属内への親友がないことに着目している。

【0038】また、他の発明では、ゲート電極は密度が 10 大な金属を使用するが、ゲート配線は、不純物を注入した後の熱可塑性樹脂処理後に形成するものとし、このため低抵抗のアルミ（含む、多少の改質用配合物の存在）としている。

【0039】

【発明の実施の形態】以下、本発明をその実施の形態に基づいて説明する。

【0040】（第1の実施の形態）本実施の形態は、MoとWからなる金属間化合物の結晶構造中に窒素原子を安定な状態で含ませることにより、MoW合金の変質を 20 防止することに関する。

【0041】本実施の形態のTFETは、図4のAに示すように、その外形や更には基本的な製造方法は図1に示す従来技術のものと同一である。すなわち、まずガラス基板1上に、SiO<sub>2</sub>膜からなる下地絶縁膜11を200～600nmの厚さでPECVD法で形成する。その後、アモルファスシリコン層を所定の厚さで形成し、基板上の画素の配列に対応して不必要な部分を除去し、レーザアニールにより溶融、再結晶化させて厚さが50nmの孤立化した多結晶シリコン膜2を形成する。更に、 30 その多結晶シリコン膜を覆う様にゲート絶縁膜3を1000nmの厚さで形成した後、その丈夫にゲート電極を形成することとなるMoW膜を形成する。

【0042】その形成方法であるが、従来技術のものと異なりArまたはKrあるいはそれらの混合ガスのみでなく、更にN<sub>2</sub>を少量（0.1～10%）含むガスを用いてスパッタリングを行なう。そして所定の膜厚、すなわち300nmまで堆積する。その後、従来技術と同様にフォトリソグラフィーにより、この堆積したゲートメタル膜を下方に位置する孤立化した多結晶シリコンのゲート電極やゲート電極様配線の位置に対応した所定の形状とする。いわゆるパターンニングである。

【0043】更に、このゲート電極を遮蔽マスクとして、イオンドーピング等の手段によって不純物元素（リンやホウ素）をその下方の多結晶シリコン膜内に注入し、ゲート電極のチャネル方向両側に十分な高濃度の不純物領域（ソース領域26とドレイン領域27）を形成する。

【0044】その後、上部にSiO<sub>2</sub>膜からなる層間絶縁膜5を400nmの厚さで基板上全表面に形成する。

【0045】その後、層間絶縁膜5とゲート絶縁膜3に多結晶シリコン2のソース領域26とドレイン領域27に到達するようにコンタクトホール61、62を開ける。

【0046】その後、そのコンタクトホールを通して多結晶シリコンのソース領域26とドレイン領域27に電気的接続されるAl/Tiからなるソース電極6とドレイン電極7を形成する。なおその形成方法であるが、これは、Ti膜を基板上に100nmの厚さで形成し、更にAl膜を600nm形成することにより、コンタクトホール内を埋め込み、その後不必要な部分を除去することによりなされる。

【0047】その後、その上にパッシベーション膜8としてSiN<sub>x</sub>を300nm形成する。

【0048】以上のようにしてトップゲート型の多結晶シリコン薄膜トランジスタを形成する。

【0049】なお、液晶表示装置やEL表示装置での薄膜トランジスタアレイは、図5に示す様にガラス基板1上に薄膜トランジスタ20と画素電極12とを、それぞれ縦、横、幾行、幾列にも、いわゆるマトリクス状に配している。本図において、13は対向電極を配した対向基板であり、400はゲートであり、410はゲート電極線であり、600はソースであり、610はソース電極線であり、700はドレインである。また、液晶表示装置の場合、14はカラーフィルタであり、15は液晶層となる。なおこの場合、カラーフィルタと対向電極の上下関係が逆になっていたりしても良い。EL表示装置ならば、14と15は発光体となる。それはともかく、液晶装置として機能を発揮するためには、上記トップゲート構造の薄膜トランジスタ9を形成工程の他に、画素電極を形成する工程や、ゲートバスラインとソースバスラインを形成する工程等を有していることとなる。ただし、これらのこと自体は、いわゆる周知技術であるため、その説明は省略する。

【0050】以上の方法で製造したトランジスタの基板12枚のBT耐性を図6に示す。ここで、BT耐性は、85℃の温度環境で、600秒間30Vのプラス電圧を印加した後のシフト量を%で示したものである。全くシフトがないものを100%とした。図7に、比較例として従来のトランジスタ12枚のBT耐性を示す。

【0051】両図より、BT耐性が良好であるのがわかる。

【0052】その理由であるが、図4のBに概念的に示す様に、MoW合金中に安定な状態の（離脱エネルギーが大きい）、すなわち例えば金属の格子内のMoやW原子に換わって入り込んだ窒素原子や金属間に入り込んで金属と結合している窒素原子が水分や酸素の侵入を防止するためと思われる。

【0053】（第2の実施の形態）本実施の形態は、第1の実施の形態の変形例である。

【0054】MoWの成膜時のAr中の窒素ガス濃度を  
変えて、ゲート電極膜中の窒素濃度の異なるMIS（金  
属／絶縁膜／半導体）構造のトランジスタを製造し、そ  
の膜特性及びMISによるC-V特性の評価を行なっ  
た。なお、MISのサンプルは、先の第1の実施の形態  
と同様に、シリコン基板上にゲート絶縁膜を形成し、そ  
の上面へゲート電極となるMoW膜の形成、エッチング  
によるゲート電極の形成、そして不純物イオンドーピン  
グと600℃1時間でのアニールを行ったあと、各部を＊

＊所定形状に形成、加工して素子として完成したものであ  
る。

【0055】初期のC-V特性を測定した後、80℃の  
温度環境で600秒間30V印加した後でC-V測定を  
行い、その変化量をBTシフト電圧として示した。結果  
を表1に示す。

【0056】

【表1】

サン プル	成膜条件 Pw-Pr	*膜中窒素 濃度 (at%)	比抵抗 ( $\mu\Omega\cdot\text{cm}$ )	**比抵抗判定	信頼性試験 BTシフト量 (V)	**BT判定	総合 評価
1	2.5Kw-5mtorr	0.0001	18	○	-5.0	×	×
2	↑	0.0003	19	○	-2.0	×	×
3	↑	0.001	20	○	-0.8	○	○
4	↑	0.05	23	○	-0.5	○	○
5	↑	1	50	○	-0.1	○	○
6	↑	5	70	×	-0.01	○	×
7	↑	8	100	×	-0.01	○	×

本表において、膜中窒素濃度は、600℃、1時間真空  
アニール後の分析値である。また、比抵抗判定は、50  
 $\mu\Omega\cdot\text{cm}$ 以下を○とした。BTシフト量は、-1V以  
下を○とした。

【0057】総合評価は比抵抗とBTシフト量の両方が  
○のものを○と判定した。

【0058】本表より明らかなように、膜中窒素濃度が  
0.001～1原子%の時に、良好な特性の試料が得ら  
れた。

【0059】（第3の実施の形態）本実施の形態の多結  
晶シリコン薄膜トランジスタの形成の基本的な技術内  
容、例えば各層の膜の材質や厚さや形成方法等は、先の  
第1の実施の形態と同じである。更に、実際には基板上  
にいわゆるトランジスタアレイを形成するため、画素電  
極の形成等TFTとは異なる部分等の形成工程が在るの  
も同じである。ただし、以下の点が相違する。

【0060】ゲート絶縁膜3の表面を窒化するため、ゲ  
ート金属膜を成膜する前に100～300Wで30秒程  
度窒素ガスを用いて逆スパッタし、その後MoW膜を所  
定の膜厚に成膜した。

【0061】また他のサンプルで、300Wで5分程度  
窒素プラズマ中に基板を曝した。このため、図8に概念  
的に示す様に、ゲート絶縁膜の上表面に窒素ガスが侵入  
したあるいは窒素ガススパッタの下で汚染物質としての  
不純物の水分や酸素の少ない、そして極薄い膜31が形  
成されており、この上にゲート電極が形成されることと  
なる。なお、ゲート電極直下部でない領域のこの薄い膜

31は、エッチングによりゲート電極用金属膜を除去す  
る際に除去されていることもありうる。

【0062】本実施の形態のトランジスタの基板12枚  
のBT耐性を図9に示す。図7に示す従来のトランジス  
タ12枚のBT耐性を比較すれば明らかなように、BT  
耐性が極めて良好である。これは、窒素スパッタの影響  
を受けた膜の存在により、水分等がゲート電極内に侵入  
してくるのが防止されたためと判断される。

【0063】（第4の実施の形態）本実施の形態は、先  
の第3の実施の形態の一変形例であり、ゲート電極膜形  
成時にArガス中に混入するガスを変化させるという変  
形の基本的な内容は、先の第1の実施の形態に対する第  
2の実施の形態と同じである。但し、窒素ガスの濃度の  
みならず、酸素ガスをも濃度等を変化させて混入した点  
が相違する。

【0064】なお、MoWの成膜前の窒素ガスによる逆  
スパッタや窒素プラズマによる表面窒化、MoWの成  
膜、エッチングによるMoW製ゲート電極の形成、不純  
物イオンのドーピング、その後の熱処理等は勿論同じで  
ある。評価試験の内容、方法であるが、これも、初期の  
C-V特性を測定した後、80℃で600秒間30V印  
加した後でC-V測定を行い、その変化量をBTシフト  
電圧として示すものであり、先の実施の形態と緒同じで  
ある。

【0065】試験結果を、表2に示す。

【0066】

【表2】

サンプル	成膜条件 Pw(Kw)- Pr(mtorr)	*膜中 酸素濃度 (ppm)	*膜中 窒素濃度 (ppm)	窒素 逆sp条件 (w)	比抵抗 ( $\mu\Omega \cdot \text{cm}$ )	**比抵抗 判定	信頼性試験 BTシフト量 (V)	***BT 判定	総合 評価
1	2.5-5	20	30	-	18	○	-0.8	○	○
2	2.5-5	20	130	150	20	○	-0.05	◎	◎
3	2.5-5	20	130	-	19	○	-0.5	○	○
4	2.5-5	50	100	150	22	○	-0.05	◎	◎
5	2.5-5	50	500	300	30	○	-0.01	◎	◎
6	2.5-5	50	500	300 @	30	○	-0.01	◎	◎
7	2.5-5	50	20000	****	50	○	-0.1	○	○
8	2.5-5	50	25000	****	60	×	-0.1	○	×
9	2.5-5	50	30	-	19	○	-1.5	×	×
10	2.5-5	90	30	-	22	○	-1.5	×	×
11	2.5-5	90	500	300	32	○	-0.07	◎	◎
12	2.5-5	150	100	-	25	○	-5.0	○	×

本表の膜中窒素濃度\*は、600℃1時間真空アニール後の分析値で示している。

【0067】比較抵抗判定\*\*は、50 $\mu\Omega \cdot \text{cm}$ 以下を○としている。

【0068】BTシフト量判定\*\*\*は、-1V以下を○とし、-0.1以下を◎としている。

【0069】\*\*\*\*印は、スパッタガス中に窒素を混入させて成膜したものである。

【0070】@は、窒素プラズマによって表面を窒化したものである。

【0071】総合評価は、比抵抗とBTシフト量の両方が○のものを◎と判定している。

【0072】本表より明かなように、膜中酸素濃度が100ppm以下で膜中窒素濃度が酸素濃度より多く、かつ20000ppm以下の場合に良好な特性の試料が得られた。

【0073】更に、ゲート絶縁膜界面に多くなるようにゲート絶縁膜表面を窒素ガスで逆スパッタしたものについては、より良好な特性の試料が得られた。

【0074】なお、以上の4つの実施の形態では、ゲート電極用金属膜をスパッタリングにより形成する際の主成分としてのガスはコストの面からArを使用した。これは原子量が大きいため成膜に際して高いエネルギーを与えることが可能なKr、Xe、特にKrあるいはそれらの混入したガスやArとKrを主成分とし、更に他のガスを混合したガスであっても良いのは勿論である。

【0075】また、第1と第2の実施の形態におけるN<sub>2</sub>ガスを混入してスパッタリングをするに先立って、第3と第4の実施の形態のごとくゲート絶縁膜の表面を逆スパッタリングで窒化していても良いのは勿論である。

【0076】(第5の実施の形態)本実施の形態は、ゲート電極用の金属膜を形成するスパッタリング装置をかえたことによる多結晶シリコン薄膜トランジスタの特性の変化とゲート電極の材料を変化させたことによる多結晶シリコン薄膜トランジスタの特性の変化に関する。

【0077】以下、実験結果に基づき本実施の形態を詳細に説明する。

【0078】図10は、シリコンウエハ上に不純物の拡散による侵入を防止するため、熱酸化膜を形成した基板を用いて、薄膜半導体を形成し、その後評価試験を行なった結果を示すものである。この際、ゲート電極材料としては、35原子%のWを含むMoW合金とした。

【0079】さて、このMoW合金の成膜であるが、これはインライン方式のスパッタ装置とロードロック式の枚葉スパッタ装置を使用し、使用装置の如何によるCV特性測定からB-T信頼性を評価した結果の相違を調べた。本図の(A)はロードロック式枚葉スパッタ装置の場合であり、(B)はインライン方式スパッタ装置の場合である。また、aは測定初期状態であり、bは600秒印加後の状態である。本図から分かるように、インライン方式のスパッタ装置で作製したMoWゲート電極膜の場合には、薄膜トランジスタと同じように比較的大きな負方向の変動が生じた。しかし、ロードロック式の枚葉スパッタ装置で作製した場合には変動が見られなかった。

【0080】次に、図11は、インライン方式スパッタ装置を用いて、35原子%のWを含むMoW合金膜(A)とMo単独膜(B)とを作製して、CV測定方式による評価を行なった結果である。aは測定初期状態であり、bは600秒印加後の状態である。本図にて明ら

かな様に、(A)の35原子%のWを含むMoW合金膜では、非常に大きな負方向の変動が生じているが、

(B)のMo単独膜では変動が生じていない。この結果、B-T試験での変動に対しては、ゲート電極材料とその製作条件が大きく影響するのが判る。

【0081】本願出願人はこれらを深く研究し、検討をなした結果、特に、金属膜中のWの一部が酸素と結合することが変動の要因であること、またこれらの膜中の窒素含有量をTDSで比較測定して、インライン方式スパッタで成膜したものが明らかに少ないことより、金属膜中にNを含有させることが大きな効果があること、更に酸素との反応を防止することも効果があるのを見出した。

【0082】また、35原子%のWを含むMoW合金ターゲットを用いて、アンモニウムガスを5%、水素ガスを5%、残りをArガスとしたガス雰囲気中でスパッタリングにより作製したゲート電極膜と、Arガスのみで作製したゲート電極膜について、その性質の比較を行なった。その結果、Arガスのみで作製した膜の断面は針状結晶構造であり、アンモニウムガスと水素ガスを添加して作製した膜は滑らかな表面を持ち針状と柱状の遷移領域的な繊維状結晶構造を有していた。これらの構造は、文献(半導体研究32巻の18~21頁、西沢潤一編著、1990年8月5日発行)に示されているように、針状結晶構造はボイドが多く、開いた粒界を持っており多孔質であり、一方、繊維状結晶構造膜は密な構造を有する。これらの密な構造の膜は、一般的には放電ガス圧力が低い場合、基板にバイアス電圧をかけている場合に発生し、膜応力は大きな圧縮応力となることが、前記の文献に記載されている。

【0083】しかし、アンモニウムガスと水素ガスを添加したArガス雰囲気での成膜では、放電ガス圧力の高い条件でも表面が平滑で緻密な膜が得られ、膜応力も小さかった。

【0084】このようにして作成したゲート電極を、絶縁膜を形成したシリコンウエハ上に成膜してCV測定による評価を行なった。その結果、B-T試験での変動、特にゲート電極に起因すると判断される負方向の変動はまったく見られなかった。

【0085】これは、アンモニウムの分解エネルギーが小さいために、特にWとの窒化反応や膜中へのNの取りこみと、活性な原子状水素がWの酸化を抑制することによるものであると判明した。更に、放電ガス中に水素を入れることで、窒素分子の分解を促進する効果もあり、単純に窒素ガスのみあるいはアンモニウムガスのみを入れる場合に比べて反応が促進されるため添加するガス量を少なくすることが可能であるのも判明した。

【0086】(第6の実施の形態)本実施の形態の薄膜半導体素子の構造も、基本的には図1に示すものと同じである。透明絶縁性基板1は、本実施の形態ではコーニ

ング社の1737ガラス基板を用いた。同じく、下地絶縁膜11は、TEOSとO<sub>2</sub>の混合ガスを用いてSiO<sub>2</sub>膜を約400nm形成した。同じく、ゲート絶縁膜3は、本実施の形態ではTEOS(テトラエチルオルソシリケート)とO<sub>2</sub>の混合ガスを用いてプラズマCVDにより作製したSiO<sub>2</sub>膜を約90nmの厚さに形成した。同じく層間絶縁膜5は、TEOSとO<sub>2</sub>の混合ガスを用いてプラズマCVDで約400nmのSiO<sub>2</sub>膜を形成した。ソース電極6とドレイン電極7は、下側層のTiと上側層のAl膜をスパッタリングにより、各約100nm、約600nmの厚さに形成した。

【0087】Wを35原子%含むMoW合金ターゲットを用いて、ロードロック式枚葉スパッタ装置で放電ガスとしてアンモニウムを5%、水素を5%、残りをArガスとした混合ガスを使用して、0.2Pa、5kW、200℃に基板を加熱した条件下で300nmの膜厚を作製した。この膜の表面及び断面を走査型電子顕微鏡で観察した結果、平滑で緻密な膜であることが確認された。また、比抵抗は約30μΩ・cmであり、ゲート電極として用いるには十分な値であった。このゲート電極を用いた薄膜半導体素子のB-T試験を行なった結果、従来に比べて100倍以上の長時間の試験でも負方向の変動はまったく生じなく非常に安定した特性が得られた。

【0088】なお、本実施の形態では、アンモニウムと水素を含むArガス雰囲気中で成膜したが、アンモニウムと不活性ガスの混合ガス、あるいは水素と窒素と不活性ガスの混合ガス雰囲気中で成膜しても同様な結果が得られた。

【0089】(第7の実施の形態)本実施の形態の薄膜半導体素子の形状は基本的には図4に示すものと同様である。ただし、ゲート電極の作製方法は相違する。ゲート電極であるが、これはWを20原子%含むMoW合金ターゲットを用いて、インライン方式スパッタ装置で放電ガスとして水素を5%、窒素を5%、残りをKrガスとした混合ガスを用いて1.3Pa、5kW、基板温度は室温の条件で300nmの膜厚を作製した。この膜についても、表面及び断面を走査型電子顕微鏡で観察した結果、平滑で緻密な膜であることが確認された。また、比抵抗は約35μΩ・cmであり、ゲート電極として用いるには十分な値であった。このゲート電極を用いた薄膜半導体素子のB-T試験を行なった結果、従来に比べて100倍以上の長時間の試験でもまったく負方向の変動は生じなかった。

【0090】なお、本実施の形態では、水素ガスと窒素ガスと不活性ガス雰囲気中で成膜を行なったが、これも先の実施の形態と同じくアンモニウムと不活性ガスまたはアンモニウムと水素と不活性ガスの混合ガス雰囲気でも同様の結果が得られた。

【0091】(第8の実施の形態)本実施の形態は、ゲート電極を上下の2層とするものである。

【0092】以下、本実施の形態を、図12を用いて詳細に説明する。本図に示す薄膜半導体は、基本的には第7の実施の形態のものと同一である。ただし、以下の点が相違する。層間絶縁膜5であるが、これはTEOSとO<sub>2</sub>ガスをを用いてプラズマCVDによるSiO<sub>2</sub>膜とSiH<sub>4</sub>とO<sub>2</sub>ガスをを用いた常圧CVDによるSiO<sub>2</sub>膜の2層構成で、400nmの膜厚に形成した。ゲート電極4であるが、これは上下の2層となっており、41が下層、42が上層である。

【0093】このゲート電極膜は、スパッタ室を2室もつロードロック式枚葉スパッタ装置で形成した。すなわち、一室目ではMo、2室目ではWを35原子%含むMoW合金ターゲットを用いて成膜した。成膜条件であるが、Arガス雰囲気中で、基板の温度を200℃にし、0.2Pa、5kWであった。そして、下層のMo膜は20nm、上層のMoW合金膜は280nmに形成した。

【0094】この形成した膜の表面の状態及び断面の状態を走査型電子顕微鏡で観察した結果、針状結晶構造膜であった。しかし、作製したトランジスタのB-T試験結果では、従来の100倍以上の時間経過してもゲート電極に起因する負方向の変動はまったく生じなかった。これは、下層のMo膜がB-T信頼性の改善に大きな寄与をなしていることによる。そして、この効果はMoの膜厚が2nm程度あれば良いことも判明した。また、2層のゲート電極膜のエッチングもCF<sub>4</sub>とO<sub>2</sub>の混合ガスをを用いたドライエッチングで同時に可能であるが、Moのドライエッチング速度が小さいので、精度を確保しつつ生産性良く加工するためにはMoの膜厚は20nm以下とすることが望ましい。

【0095】なお、本実施の形態では、ロードロック式の枚葉スパッタ装置を用いたが、インライン方式スパッタ装置を用いても同様の結果が得られることは説明するまでもない。

【0096】（第9の実施の形態）本実施の形態も、上下2層からなるゲート電極に関する。

【0097】本実施の形態の薄膜半導体素子は、ゲート電極とその製作条件以外は第8の実施の形態と同一である。

【0098】本実施の形態のゲート電極は、インライン型スパッタ装置で作製した。この際、下層膜の形成にはWを10原子%含むMoW合金ターゲットを用い、上層膜の形成にはWを35原子%含むMoW合金ターゲットを用いた。スパッタリングの条件は、いずれも水素ガス5%と窒素ガス5%、残りがArガスの混合ガス雰囲気中で、0.2Pa、5kW、そして基板の温度は200℃である。なお、膜厚であるが、下層膜は15nmとし、上層膜は285nmとした。

【0099】この膜の表面及び断面の状態を走査型電子顕微鏡で観察した結果、平滑かつ緻密な膜構造であっ

た。また、作製したトランジスタのB-T試験を行なったが、従来の構成のトランジスタと比較して約100倍の時間経過後も負方向の変動は生じなく、良好な特性を示した。また、ゲート電極のエッチング加工も下層膜にもWが10原子%含まれているので、上層膜とのエッチング速度の差が小さくなり、より加工の安定性、再現性が良好となった。

【0100】なお、本実施の形態では水素ガスと窒素ガスと不活性ガスの混合ガス雰囲気中で成膜を行なったが、アンモニアガスと不活性ガスあるいはアンモニアガスと水素ガスと不活性ガス雰囲気中で成膜しても同様の結果が得られた。更に、ロードロック式枚葉スパッタ装置を用いて成膜しても同様の結果が得られるのは言うまでもない。

【0101】また、不活性ガスとしてクリプトン等を使用しても良いのは勿論である。

【0102】（第10の実施の形態）本実施の形態は、ゲート電極の配向面に関する。

【0103】以下、本実施の形態のMoW薄膜製ゲート電極及びこれを採用した薄膜トランジスタを説明する。

【0104】図13に、本実施の形態のMoW配線薄膜の構造解析結果を示す。本図は、X線回折の結果を示すものであり、配向面が(110)であることを示す。なお高次の(220)等は同一として扱う。本図の(a)に、配向性の高いMoW膜の結果を示す。この場合には、(110)面のピークが高く、(200)面のピークはほとんど観察されない。また、(110)のピークもシャープで半値幅が小さく、これは配向性が極めて高いことを示す。本図の(b)に配向性の低いMoW膜の結果を示す。(110)面以外に(200)面の配向も観察されているほかに(110)面ピークの半値幅も大きくなっており、配向性が悪いことがわかる。

【0105】この様に、異なる配向性をもったMoW膜をゲートメタルに用いた場合にBT耐性にどのような影響を及ぼすかを図14を用いて説明する。

【0106】本図の(a)に、配向性の高いMoW膜をゲート電極に用いた場合のBT耐性の結果を示す。85℃で+30Vの電圧を600sec印加してもId-Vg特性は全く変化せず、極めて信頼性の高い安定したトランジスタであると言える。この現象は(110)の配向が全体の90%以上占めていれば成立するものを確認できた。一方、配向性の悪いMoW膜をゲート電極に用いた場合の結果を本図の(b)に示す。この場合には、試験後にId-Vg特性は大きくマイナス方向にシフトし、その変化量は5~6V程度となっている。このようになると、回路としての動作が困難となり、最終的には壊れてしまう。

【0107】（第11の実施の形態）本実施の形態は、スパッタガスとして用いているArが一定量MoW膜中に安定した状態で取り込まれた例である。

【0108】図15に、スパッタガスにArを用いて成膜したため、Arが一定量取り込まれたMoW膜のTDS（昇温脱離ガス質量分析）試験の結果を示す。本図の（a）では200～300℃付近にArガスのブロードなピークと800℃付近にかなりシャープなピークの2つが観察される。本図の（b）では800℃のシャープなピークは観察されず、200～300℃付近のブロードなピークのみが観察される。この場合、200～300℃付近のブロードなピークはMoW膜中に単純に不純物ガスとして含まれているArガス、あるいはMoとWからなる金属格子を形成する金属原子の隙間に単に入り込んでいる孤立したArガスが脱離したものと考えられる。一方、800℃付近のシャープなピークは、MoまたはWと結合したArガス、あるいは金属格子間にMo原子やW原子に換わって入り込んでいるArガス若しくはいわばファンデルワールス力による包接化合物的に結合しているArガス（概念的には、図4の（B）のNの様なArガス等。なお、Heは0℃以下の低温かつ加圧下で炭水化物と包接化合物をつくるが、より原子量の大なArも金属内で似た様な挙動を成すのであろう。）が脱離してきたものと考えられる。

【0109】このように成膜条件を変えることでこのような膜を形成することができるが、この膜をゲート電極として用いた場合BT耐性に与える影響は極めて大きい。図15の（a）に示したような900℃に脱離ピークをもつMoW膜を用いた場合には図14の（a）に示すようにBT耐性が極めて高くなる。しかし一方、図15の（b）に示すようなMoW膜の場合は図14の（b）に示すようなBT耐性が劣ったものとなる。

【0110】（第12の実施の形態）本実施の形態は、窒素（原子）が一定量MoW膜中に安定した状態で取り込まれた場合である。

【0111】図16に、窒素に注目したMoW膜のTDS（昇温脱離ガス質量分析）試験の結果を示す。窒素に関しては大きく4つの脱離ピークがある。200～300℃と低温で観察されるのはMoW膜中に単純に不純物として含まれている、あるいは格子状、結晶状のMo原子やW原子の隙間に在る窒素が脱離しているものと判断される。一方、600～700℃付近、800℃付近、900～1000℃付近に見られるシャープなピークはMoまたはWと結合した、あるいはMo原子やW原子が形成する格子状、結晶状の配列中に、Mo原子やW原子に代わって入り込んだ窒素（原子）が脱離してきたものと判断される。

【0112】図16の（a）に示す膜は980℃付近に極めてシャープな脱離ピークが観察され、窒素はかなり強い結合力でMoまたはWと結合しているのが特徴的である。図16の（b）に示すのは600～700℃に最も大きな脱離ピークが観察される膜である。これら両者の違いは膜中の窒素のMoまたはWとの結合力にある。

このように成膜条件を変えることでこのような膜を形成することができるが、この膜をゲート電極として用いた場合BT耐性に与える影響は極めて大きい。図16の（a）に示したような900℃に脱離ピークをもつMoW膜を用いた場合には、図14の（a）に示すようにBT耐性が極めて高くなる。しかし一方、図16の（b）に示すようなMoW膜の場合は、図14の（b）に示すようなBT耐性が劣ったものとなる。

【0113】（第13の実施の形態）本実施の形態は、W濃度がゲート絶縁膜に直交する膜厚方向で変化する場合である。

【0114】図17にW含有濃度を変化させたMoW合金をゲート電極に用いた場合のBT耐性の違いを示す。本図の（a）は、W含有率が15%のMoW合金の場合であり、BT耐性試験を行っていてもId-Vg特性は全く変化しない。本図の（b）は、W含有率が35%の場合であり、同じく（c）は45%の場合である。共にBT耐性試験の後では、Id-Vg特性は大きくマイナス方向にシフトしており、W含有率が高くなるに従ってマイナス方向へのシフト量も大きくなっていくのが判る。

【0115】しかし一方で、MoW合金はW含有率が少ない方が加工性が悪く、寸法の制御性も悪くなる。従ってMoW合金電極の膜厚方向でゲート絶縁膜に近い側ではBT耐性を高く維持するためにW含有率の小さいMoW合金を用い、上方は加工性、寸法精度を確保するためにW含有率の高いMoW合金を用いた。最も望ましいのはMoW合金電極の下層側にW含有率15%以下のMoW合金層を約500Å以下程度とし、上層にW含有率35%のMoW合金層を2500Åとして、トータル3000Åのゲートメタル電極とした場合である。

【0116】（第14の実施の形態）本実施の形態は、MoW合金中の酸素濃度を制御した場合である。

【0117】MoW合金電極はスパッタ方式で成膜した。このときターゲットの製法によってターゲット中に多くの酸素が含まれる。そしてこのターゲットに含まれる酸素量によってBT耐性が大きく左右される。200～500ppm程度の酸素が含まれるターゲットでMoW合金膜を形成し、これをゲート電極に用いた場合のBT耐性は、図17の（c）に示すようになる。すなわちBT耐性が悪く、Id-Vg特性は大きくマイナス方向にシフトしてしまう。

【0118】しかしターゲット中に含まれる酸素量を50ppm以下、実際には10～20ppm程度に抑えたものを用いると、BT耐性は図17の（a）に示すようにId-Vg特性は全く変化せず、極めてBT耐性の高いトランジスタを得ることができた。含有酸素量を100～200ppm程度のものを用いるとBT耐性は図17の（b）のようになり、明らかにターゲットに含まれる酸素量に大きく左右されることになる。従ってBT耐

性の高いトランジスタを得るためにターゲットに含まれる酸素量を50ppm以下に抑えたターゲットおよびMoW配線材料を用いるのが良いこととなる。

【0119】(第15の実施の形態)本実施の形態は、W濃度が膜厚方向で変化する場合のBT耐性に対する効果に関する。

【0120】図17に、W含有濃度を変化させたMoW合金をゲート電極に用いた場合のBT耐性の違いを示す。前述の如く、(a)はW含有率が15%のMoW合金の場合であり、BT耐性試験を行っていてもId-Vg特性は全く変化しない。(b)はW含有率が35%の場合であり、(c)は45%の場合であり、共にBT耐性試験の後ではId-Vg特性は大きくマイナス方向にシフトしており、更にW含有率が高くなるに従ってマイナス方向へのシフト量も大きくなっていく。

【0121】しかし、W含有率が少ない方が、加工性が悪く、寸法制御性も悪くなる。従ってMoW合金電極の膜厚方向でゲート絶縁膜に近い側ではBT耐性を高く維持するためにW含有率の小さいMoW合金を用い、上方は加工性、寸法精度を確保するためにW含有率の高いMoW合金を用いた。最も望ましいのはMoW合金電極の下層側にW含有率15%以下のMoW合金層を、上層にW含有率35%のMoW合金層を形成することである。以下、この構造とする方法を図18を参照しつつ説明する。

【0122】スパッタ法でのMoW合金膜の形成の内容を説明する。この場合、同一チャンバー24内に第1のターゲット21と第2のターゲット22を搬送方向に対して連続する位置に設置した。第1のターゲット21は、W含有率が低いMoW合金のターゲットである。具体的には、W含有率が0原子%~15原子%のものである。第2のターゲット22はW含有率が15原子%~50原子%とW含有率が高いMoW合金のターゲットである。

【0123】チャンバー内を所定の真空度にした後、チャンバー24内にArガスまたはKrガスなどの不活性ガスを導入して放電を開始する。放電開始後、基板を第1のターゲット21から第2のターゲット22の方向に搬送し、W濃度の低いMoW合金からW濃度の高いMoW合金を形成した。この際、必要な膜厚になるように基板の搬送速度を調整した。スパッタ条件は、投入電力0.5KW~2.5KW、ガス圧2~10mTorr(1Torr=133.322Pa)、膜厚1000Å~3000Åとしたが、これらについては特に制約はない。

【0124】(第16の実施の形態)本実施の形態は、図18においてチャンバー24内に基板23が搬送され、第1のターゲット21上に来た時点で搬送を中止して、放電を開始する。そして、所定の膜厚となった後放電を中止し、次の第2のターゲット22上に基板を移動

させる。その後、また放電を開始して所定の膜厚に成膜する。この際の膜厚であるが、第1のターゲット21では200~1000Åとし、第2のターゲット22では1000~3000Å程度とした。

【0125】なお、この方法の場合、必ずしもW濃度が異なる2層構造にしなくてもよく、第1のターゲット若しくは第2のターゲットのいずれか一方の単層成膜でもよい。すなわち、BT劣化はWの酸化によってその原因である電荷が発生して生じる。従って、BT劣化を抑えるにはWと酸素のいずれかを抑えれば良い。さて、スパッタ成膜する際、放電の開始と同時にチャンバー内から多くの脱ガスが放出される。そして、この脱ガスには水分、酸素が極めて多く、更にこの水分と酸素が基板表面に多く吸着され、ひいてはBT劣化の原因になる。このため、これらの脱ガスの影響を極力少なくするには、放電と同時に成膜が開始されることが望ましい。すなわち、基板表面が脱ガスに晒される時間を極力短くすることが重要となる。

【0126】なお、以上の成膜であるが、これはチャンパー内に基板が一枚ずつ搬送されても、複数枚同時に搬送されても良いのは勿論である。基板はローダー24からチャンパー内に順に送り込まれ、成膜後にアンローダー26に収納されるのが原則であるが、1枚ずつ成膜される場合にはローダーから送り込まれ、ローダーに収納されるようにしていても良い。

【0127】(第17の実施の形態)本実施の形態は、ボトムゲート型の薄膜トランジスタに関する。

【0128】図19にこの薄膜トランジスタの断面を示す。本図において、401はW濃度の少ない上側(ゲート絶縁膜側)層であり、402はW濃度の多い下側層であり、ゲート電極はこれら2層により形成されている。

【0129】(第18の実施の形態)本実施の形態は、LDD構造の薄膜トランジスタに関する。

【0130】図20にこの薄膜トランジスタの断面を示す。この薄膜トランジスタは、後工程の耐熱性を向上させる、あるいは多少とも高い温度での熱処理を可能とするため、ゲート電極とゲート配線とをMoW合金としたものである。本図において、260と270は各ソース電極側とドレイン電極側のLDD領域である。41は、ゲート電極の下方であり、412は中央部であり、42は上方である。そして、この順にW濃度が低くなっている。

【0131】この薄膜トランジスタは、Moの含有率が多いほどドライエッチングされ難いことにも着目したものである。このため、ゲート電極膜は下方(ゲート絶縁膜側)へ行くほどW濃度が低くなり、Moの含有率が多くなる様にしている。その結果、ドライエッチングによりゲート電極を形成する際、ゲート電極チャンネル方向は下方ほど長くなり、傾斜がつく。すなわち、不純物イオンの注入時にチャンネル方向両側ほどマスクの能力が劣る

こととなる。その結果、自然と LDD 構造の薄膜トランジスタが唯一回のイオンドーピングにて製作可能となる。

【0132】(第19の実施の形態) 本実施の形態を図21に示す。図にて明らかな如く、この薄膜トランジスタのゲート電極は下方の純Mo層41と上方のW(若しくはこれに加えてのMo)層42の2層構成であり、更に下方のMo層は、上部の層に比較してチャンネル方向両側に長くなっている。このため、やはり先の第18の実施の形態と同じくMo層の食み出し部分下側領域の多結晶シリコン層には不純物イオンが多少打ち込まれ、その結果、LDD構造を有する様になっている。

【0133】(第20の実施の形態) 本実施の形態は、ゲート電極の表面部を酸化させて不純物イオンの注入時にマスクとして使用することにより、LDD構造のTFTを得るものである。

【0134】本実施の形態は図22に示す。図にて明らかな如く、(a) 先ずMoW合金製ゲート電極4を形成し、(b) その表面を少し酸化させる。これにより、ゲート電極チャンネル方向両側に酸化して密度の小さくなった、ひいてはマスク能力の劣る酸化物の膜ができる。

(c) その後で、基板の上方や斜め上方両側から不純物イオンを注入し、酸化物製膜の直下部やその近傍にLDD領域260、270を形成する。

【0135】なお、この酸化物は、その後水素ガスで還元しても良いし、除去しても良い。

【0136】また、そのままでもゲート電極内の合金は含有する窒素、アルゴン等のため、酸化物の酸素が時間の経過で侵入してきて悪影響を及ぼす事がないのは勿論である。

【0137】(d) また、別の手段として酸化物の形成に換えてゲート配線毎アルミ等の電気抵抗が低く密度が小さい金属をめっきで薄く付着しても良い。この場合、後の熱処理でたとえアルミにヒロック等が発生してもその部分は内部のMoW合金が受け持つため、電気抵抗の低下に直結しない。

【0138】(第21の実施の形態) 本実施の形態は、ゲート電極線はアルミとするものである。すなわち、ゲート電極を注入マスクとして不純物イオンを打ち込んだ後、基板全体を500℃以上、ケースにより600℃前後の温度に晒して多結晶シリコンの熱処理を行なう必要上、ゲート電極線等にアルミを使用するのは好ましくない。

【0139】しかし、ゲート電極はその本来の作用発揮と注入マスクの作用発揮のため必要最小限の寸法として形成して不純物イオンを注入し、更に熱処理を行なった後に図23の(a)と(b)に示す様にゲート配線45、46をアルミで形成するならば不都合はない。現に、ソース電極やドレイン電極の上方や両電極の配線はアルミとしている。なお、図23は、薄膜トランジスタ

のゲート電極部のチャンネル方向に直交する方向の断面図である。

【0140】またアルミ配線であるが、これはなにも図23の(b)に示す様にMoW合金製ゲート電極の端部にわざわざ接合箇所46を設けるのではなく、図23の(a)に示す様にMoW製ゲート電極4全上表面とゲート配線をめっき等で覆う様にしても良い。これにより、単にゲート電極とゲート電極線との接触抵抗を小さくするだけでなく、ゲート電極とゲート配線の抵抗を大幅に低下させる。更に、振動や温度等の環境の厳しい場所での長期の使用では、反ゲート電極側の絶縁膜から侵入する水分のトランジスタ性能への悪影響も考えられるが、アルミ層が完全にこれを防止する。

【0141】以上、本発明をその幾つかの実施の形態に基づいて説明してきたが、本発明は何もこれらに限定されないのは勿論である。すなわち、例えば以下の様にしても良い。

1) 半導体材料は、Si-Ge、Si-Ge-C等としている(請求項のシリコンとは、これらを含む概念である)。

2) 半導体の多結晶化は、レーザアニールでなく、固相成長としている。あるいは将来の技術発達の下、単一の大きな結晶としている。

3) 液晶装置としては、光シャッター、光論理素子等他のものとしている。

4) 反射型の液晶表示装置としている。

5) 多段や連続型のLDD構造のTFTとしている。

6) 図21において、Moに換えてTi等の超薄膜とし、更にその上部はMoとMoの合金としている。更にまた、念のためその組成比をも上下方向で変えている。

7) Mo、Wの少くも一方を主成分とする(90原子%以上、好ましくは95原子%以上、より好ましくは98原子%以上)合金とは、事実上純Mo、Wを含み、僅かに窒素、アルゴン等が含まれる合金、ゲート電極の特定の層や高さの部分が事実上純Mo等であることを含む。また、熱処理時の拡散、連続形成等のため、組成比は連続的に変化したり、かかる部分があっても良い。

【0142】また、クロム等の6A族の原子や耐蝕性、加工性改善等のため、他の原子を含んでいても良い。

8) スパッタリングは、他の装置を使用している。

9) スパッタリングガスに、何か他の目的のため、He、Ne等を僅かに混ぜている。

10) スパッタリングガスに換えて、例えばEB蒸着等他の手段でゲート電極を形成している。

11) ゲート絶縁膜等には、SiN<sub>x</sub>、Si<sub>3</sub>N<sub>4</sub>、SiCN等他の絶縁物質を使用している。

【0143】

【発明の効果】以上の説明で判る様に、本発明によれば、MoW膜形成時にArまたはKrガスにN<sub>2</sub>を数%混合したスパッタリングガスを用いて窒素含量が0.0

0.1～1原子%のMoW膜を形成することにより、SiO<sub>2</sub>膜中の水分の拡散を防止し、高性能な多結晶シリコン薄膜トランジスタを製作することが可能となる。

【0144】また、同じくスパッタリング時にアルゴンやクリプトン等の不活性ガス中にH<sub>2</sub>とN<sub>2</sub>、H<sub>2</sub>とNH<sub>3</sub>、あるいはNH<sub>3</sub>を少量混在させることにより、ゲート電極膜中に安定した窒素を含み、緻密で低応力とし、信頼性の高いTFETを製作することができる。

【0145】また、ゲート絶縁膜表面をゲート電極用金属膜形成前に逆スパッタしたり、僅かに窒化させたりすることにより、形成されたゲート電極膜内への汚染物としての水分や酸素等の進入を防止し、高性能なTFETを製造することがなされる。

【0146】また、ゲート電極膜中の酸素量を少なくすることにより、信頼性の高いTFETを製作することができる。

【0147】また、スパッタリング条件を工夫して、ゲート電極の中に安定した状態のアルゴン等を一定量含ませることにより高性能なTFETを製作することができる。

【0148】また、MoW合金製ゲート電極材料の水分、酸素等による劣化の防止のため、ゲート電極そのものを2層、更には多層や連続層とし、ゲート絶縁膜側のW含有量を適度に減らしているため、製造容易性を確保しつつ信頼性の高いTFETを製造することができる。

【0149】また、ゲート金属膜中の結晶の配向面を制御することにより、信頼性の高いTFETを製造することができる。

【0150】また、以上に併せてLDD構造のTFETや低抵抗のTFETアレイを提供することができる。

【図面の簡単な説明】

【図1】従来技術の多結晶薄膜トランジスタの一例を示す図

【図2】従来技術で製作されたTFETのゲート電極（用金属膜）の製造（形成）装置によるB-T試験の特性の相違を比較して示した図

【図3】従来のBT耐性試験前後のnchのId-Vg特性の変化を示す図

【図4】本発明の第1の実施の形態の多結晶薄膜トランジスタの断面図

【図5】上記実施の形態の多結晶薄膜トランジスタを使用した液晶表示装置上での各素子の配列の例を示す図

【図6】上記実施の形態の多結晶シリコン薄膜トランジスタの特性のばらつきを示す図

【図7】従来技術の多結晶シリコン薄膜トランジスタの特性のばらつきを示す図

【図8】本発明の第3の実施の形態の多結晶薄膜トランジスタの断面を示す図

【図9】本発明の多結晶シリコン薄膜トランジスタの特性のばらつきを示す図

【図10】本発明の第5の実施の形態としての、多結晶シリコン薄膜トランジスタが製造装置によりその特性が変化する様子を比較して示した図

【図11】本実施の形態の材料による特性の変化を比較して示した図

【図12】本発明の第8と第9の実施の形態の薄膜トランジスタの断面図

【図13】本発明の第10の実施の形態としてのMoW配線薄膜のX線回折図

【図14】上記実施の形態のTFETにおける配向性の高いMoW膜をゲート電極に用いた場合のId-Vg特性を示す図

【図15】本発明の第3の実施の形態のTFETにおけるMoW膜のArのTDS（昇温脱離ガス質量分析）分析のAr図

【図16】本発明の第4の実施の形態のTFETにおけるMoW膜の窒素のTDS（昇温脱離ガス質量分析）分析を示す図

【図17】W含有濃度を変化させたMoW合金をゲート電極に用いた場合のId-Vg特性を示す図

【図18】本発明の第16の実施の形態のMoW合金薄膜の成膜の様子を示す図

【図19】本実施の第17の実施の形態の薄膜トランジスタの断面図

【図20】本実施の第18の実施の形態の薄膜トランジスタの断面図

【図21】本実施の第19の実施の形態の薄膜トランジスタの断面図

【図22】本実施の第20の実施の形態の薄膜トランジスタの断面図

【図23】本実施の第21の実施の形態の薄膜トランジスタの断面図

【符号の説明】

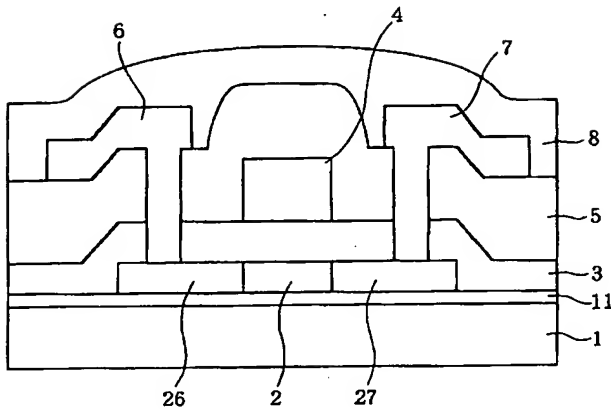
- |      |                           |
|------|---------------------------|
| 1    | 非晶質基板                     |
| 11   | 下地絶縁膜（SiO <sub>2</sub> ）  |
| 2    | 多結晶シリコン膜                  |
| 3    | ゲート絶縁膜（SiO <sub>2</sub> ） |
| 31   | ゲート絶縁膜の窒素スパッタの影響がある部      |
| 分    |                           |
| 40 4 | ゲート金属膜（MoW）               |
| 41   | ゲート電極（上層）                 |
| 42   | ゲート電極（下層）                 |
| 45   | アルミ製ゲート配線                 |
| 46   | アルミ製ゲート配線                 |
| 5    | 層間絶縁膜（SiO <sub>2</sub> ）  |
| 6    | ソース電極                     |
| 61   | コンタクトホール                  |
| 7    | ドレイン電極                    |
| 71   | コンタクトホール                  |
| 50 8 | パッシベーション膜                 |

31

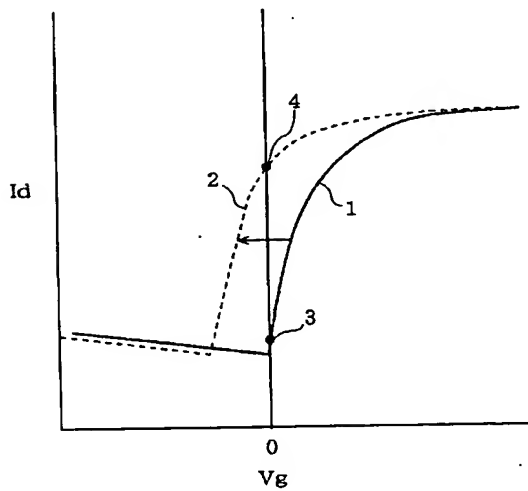
1 2 画素電極  
1 3 対向電極を配した対向基板  
1 4 有機EL層、発光体、カラーフィルタ  
2 0 薄膜トランジスタ  
2 1 第1のターゲット  
2 2 第2のターゲット  
2 3 基板

\* 2 4 チャンバ  
2 5 ロータ  
2 6 アンダーダ  
4 0 0 ゲート  
4 1 0 ゲート電極配線  
6 0 0 ソース  
\* 6 1 0 ソート電極配線

【図1】



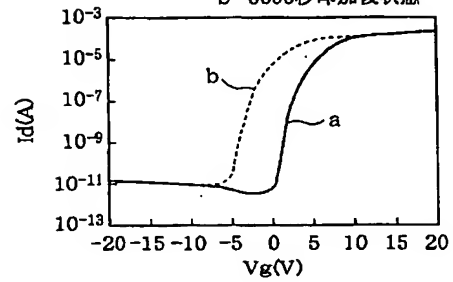
【図3】



【図2】

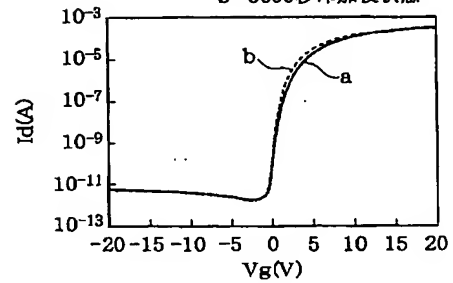
(A) インライン方式スパッタ装置

a 測定初期状態  
b 3600秒印加後状態

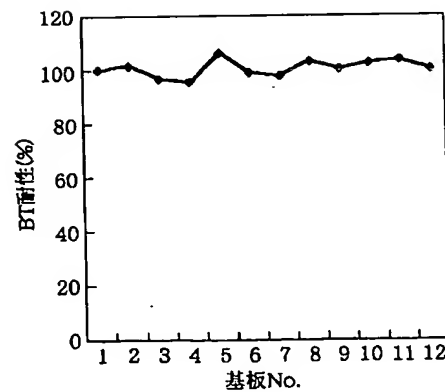


(B) ロードロック式枚葉スパッタ装置

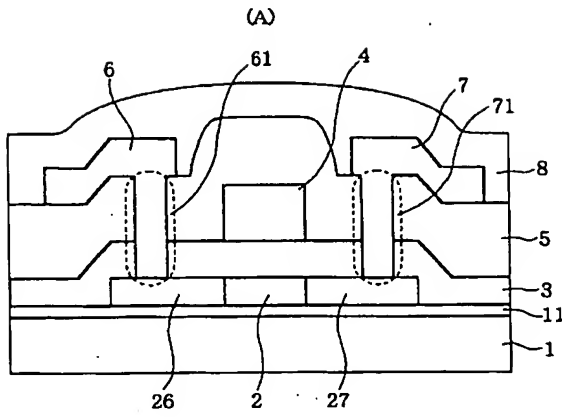
a 測定初期状態  
b 3600秒印加後状態



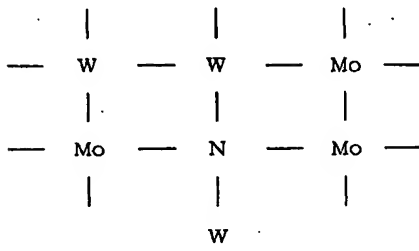
【図6】



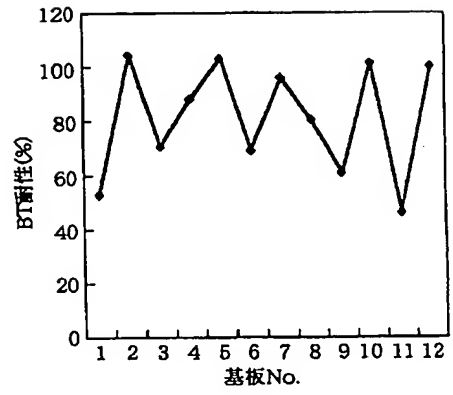
【図4】



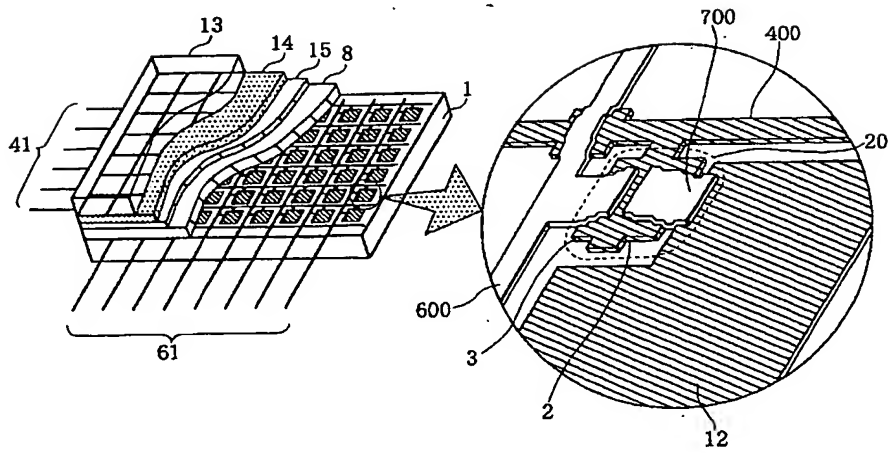
(B)



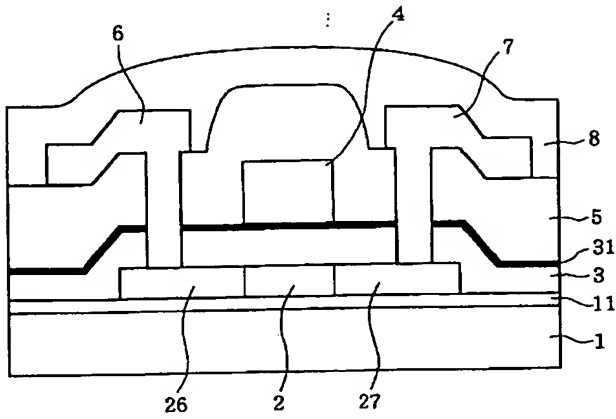
【図7】



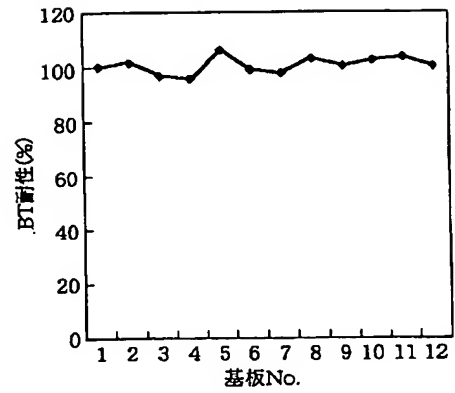
【図5】



【図8】



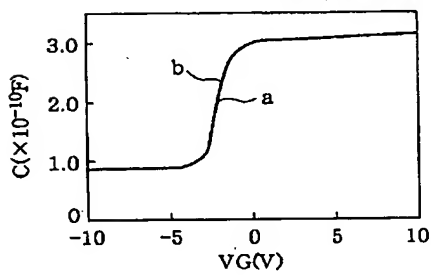
【図9】



【図10】

(A) ロードロック式枚葉スパッタ装置

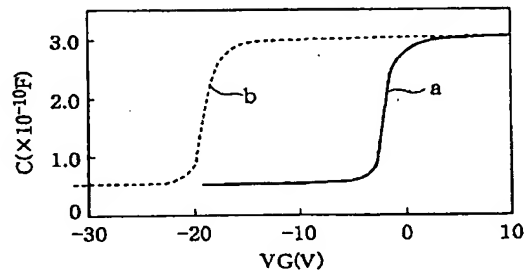
a 測定初期状態  
b 600秒印加後状態



【図11】

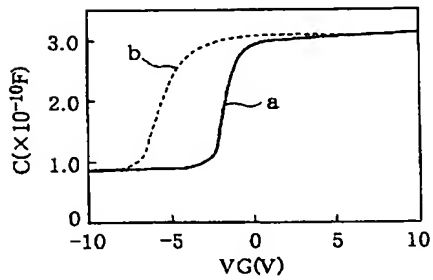
(A) Mo-35原子%W膜

a 測定初期状態  
b 600秒印加後状態



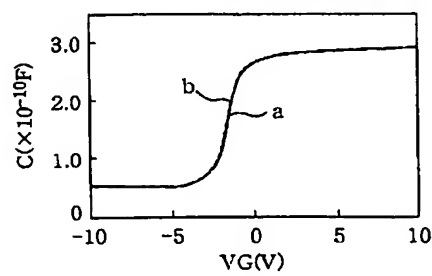
(B) インライン方式スパッタ装置

a 測定初期状態  
b 600秒印加後状態

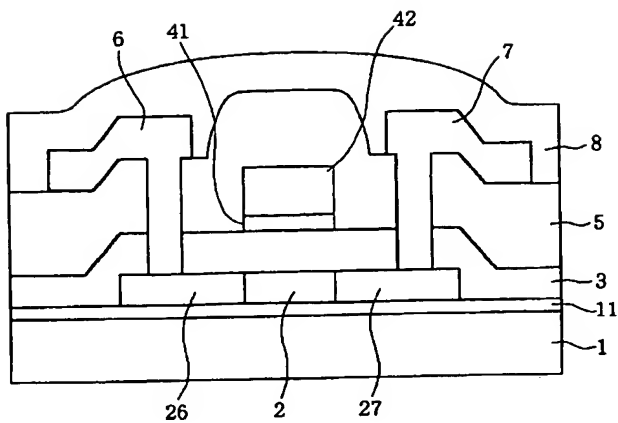


(B) Mo単独膜

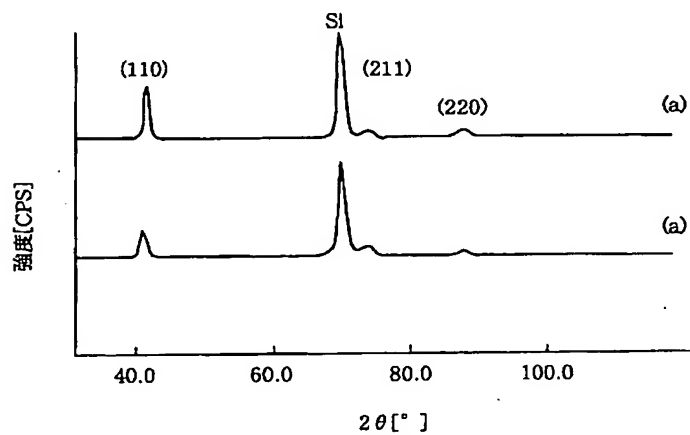
a 測定初期状態  
b 600秒印加後状態



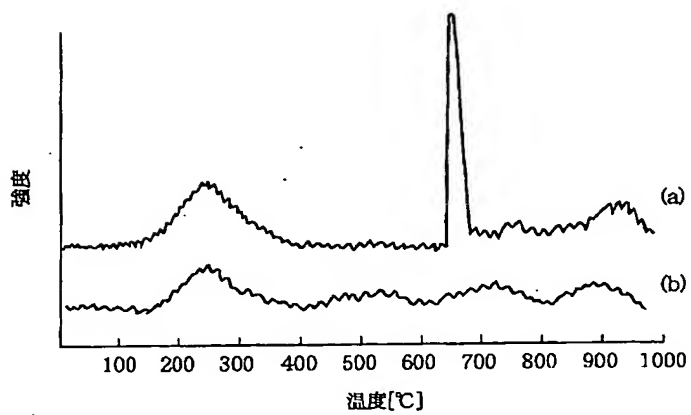
【図12】



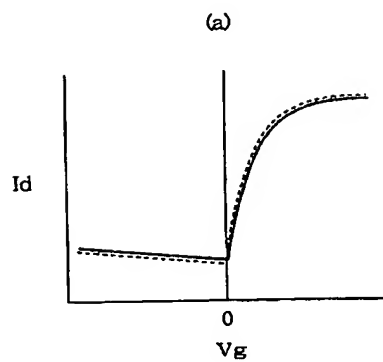
【図13】



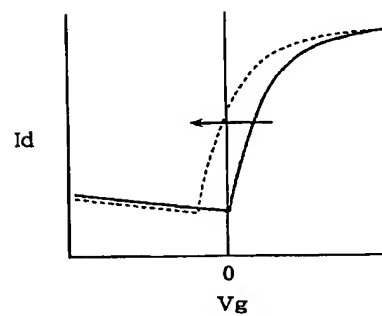
【図15】



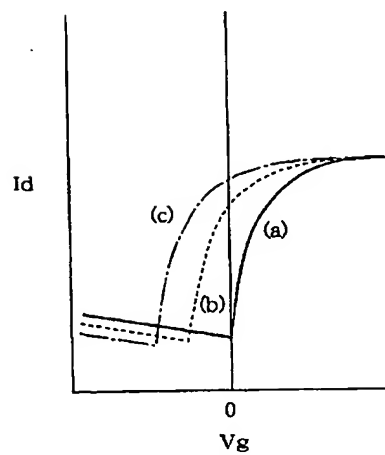
【図14】



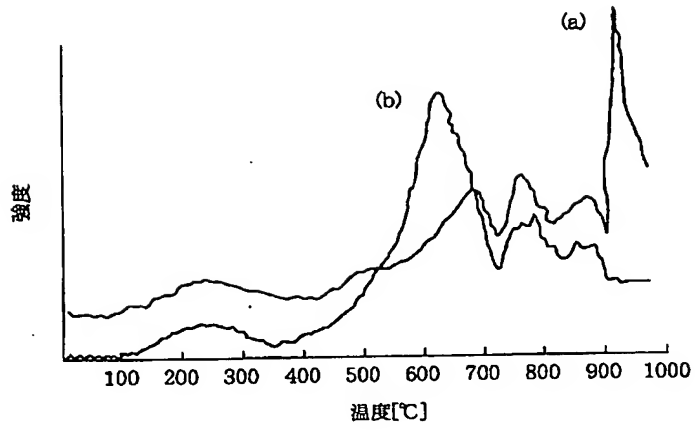
(b)



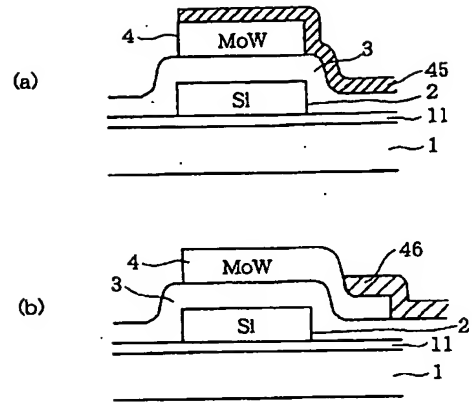
【図17】



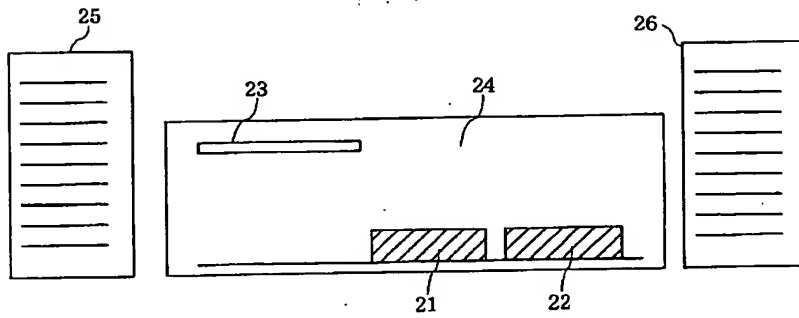
【図16】



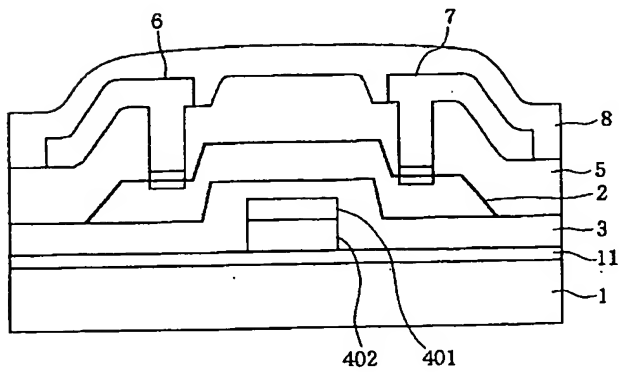
【図23】



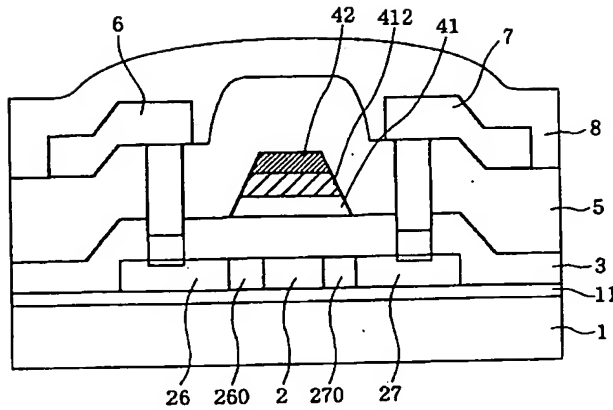
【図18】



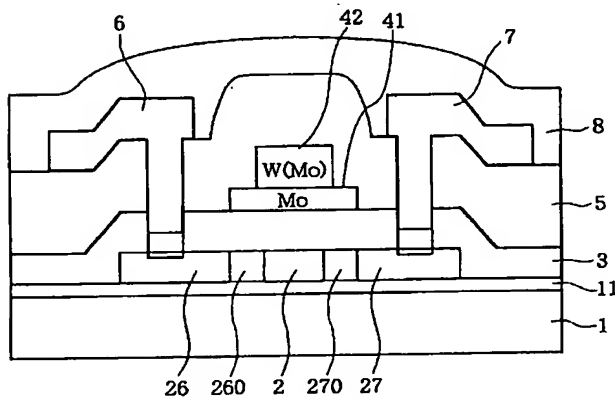
【図19】



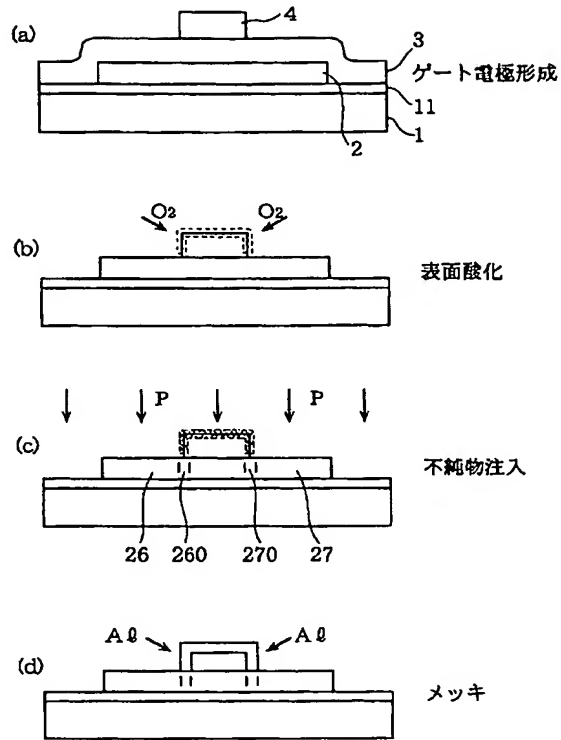
【図20】



【図21】



【図22】



フロントページの続き

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 1 L 29/78

6 1 7 J

6 1 7 L

(31)優先権主張番号 特願2000-86121(P2000-86121)  
 (32)優先日 平成12年3月27日(2000. 3. 27)  
 (33)優先権主張国 日本(JP)  
 (31)優先権主張番号 特願2000-101927(P2000-101927)  
 (32)優先日 平成12年4月4日(2000. 4. 4)  
 (33)優先権主張国 日本(JP)  
 (72)発明者 倉増 敬三郎

大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内

(72)発明者 佐々木 厚  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内

F ターム(参考) 2H092 GA29 HA06 JA25 JA26 JA29  
JA34 JA35 JA37 JB22 KA04  
KA10 KA12 KA13 KA17 MA05  
MA07 MA08 MA13 MA17 MA26  
MA27 MA30 NA21 NA24 NA28  
RA06  
4M104 AA01 AA03 BB02 BB14 BB16  
BB36 BB37 BB38 CC05 DD16  
DD26 DD37 DD41 DD42 DD52  
DD53 DD65 FF22 GG09 GG10  
GG14 GG20 HH15  
5F110 AA14 BB01 CC02 CC08 DD02  
DD13 EE03 EE04 EE06 EE11  
EE12 EE14 EE15 EE22 EE23  
EE33 EE41 EE44 EE47 EE50  
FF02 FF30 GG01 GG02 GG13  
GG25 HJ01 HJ11 HJ12 HL03  
HL04 HL11 HL21 HL23 HM15  
NN03 NN04 NN23 NN24 NN35  
PP03 QQ11